

## 3 300V SiC SBD 嵌入式 MOSFET 研制

刘国友<sup>1,2</sup>, 罗海辉<sup>1,2</sup>, 李诚瞻<sup>1,2</sup>, 宋瑾<sup>1,2</sup>

(1. 新型功率半导体器件国家重点实验室, 湖南 株洲 412001;

2. 株洲中车时代半导体有限公司, 湖南 株洲 412001)

**摘要:** 研制了一种 3 300 V 碳化硅 (silicon carbide, SiC) 肖特基二极管 (schottky barrier diodes, SBD) 嵌入式金属-氧化物半导体场效应晶体管 (metal-oxide-semiconductor field effect transistors, MOSFET), 即在传统 MOSFET 结构中集成一个由钛形成的肖特基接触。在芯片制造过程中, 通过增加 Ni 退火后的表面处理工艺, 使得栅源短路失效率降低约 58%。研究发现, 当二极管电流密度  $J_{SD}=100 \text{ A/cm}^2$  时, 嵌入式二极管电压降  $V_{SD(SBD)}=2.1 \text{ V}$ , 寄生二极管的开启电压约为 8 V, 这说明嵌入式 SBD 可以抑制 MOSFET 寄生二极管开启, 降低碳化硅 MOSFET “双极退化” 风险。另外, 该芯片的阈值电压为 3.05 V, 比导通电阻和阻断电压分别为  $18.9 \text{ m}\Omega\cdot\text{cm}^2$  和 3 955 V, 在高压轨交市场具有广阔的应用前景。

**关键词:** 碳化硅; SBD; MOSFET; 寄生二极管; 双极退化

**DOI:** 10.11930/j.issn.1004-9649.202107055

### 0 引言

随着碳化硅功率器件技术的发展, 高压轨交市场需求日益旺盛, 3 300V 全碳化硅 (silicon carbide, SiC) 模块在 2015 年已有轨交应用验证<sup>[1]</sup>, 与此同时轨交市场对器件的可靠性和功率密度提出了更为严苛的要求。

目前碳化硅双极器件存在“双极退化”效应, 即在载流子注入 (或激发) 之后进行复合, 单个 Schockley 型堆垛层错 (Schockley stacking fault, SSF) 的成核和扩展发生在基面位错 (basal plane dislocation, BPD) 的位置或其他位错的基失面段<sup>[2-4]</sup>, 扩展的 SSF 导致载流子寿命显著降低, 从而使碳化硅双极性器件压降增大, 反向偏置漏电流增大<sup>[5]</sup>, 不利于碳化硅双极性器件的可靠性。

在传统的平面栅 N 沟道 MOSFET 元胞结构中, 除 MOS 结构外仍寄生了一个体二极管, 即 PiN 二极管<sup>[6-8]</sup>。为了抑制 SiC 金属-氧化物半导体场效应晶体管 (metal-oxide-semiconductor field effect transistors, MOSFET) 中 PiN 二极管的开启, 本文研制了一种肖特基二极管 (schottky barrier diodes,

SBD) 嵌入式 MOSFET, 能够有效抑制“双极退化”效应, 提高 MOSFET 器件的可靠性<sup>[8]</sup>。另外, 嵌入式 SBD 和 MOSFET 可以共用终端和部分反型沟道, 有利于提高芯片的电流密度<sup>[9-10]</sup>。

### 1 器件设计

MOSFET 集成 SBD 的方案总体分为 2 类, (1) 在芯片级别进行集成, 这种集成方式对电流密度的提高非常有限, 且无法有效抑制 MOSFET 体内寄生二极管的开启; (2) 在芯片的元胞级别进行集成, 在元胞级别集成 SBD 可大幅提高芯片总体的电流密度, 高效抑制体二极管的开启<sup>[11]</sup>。

在 MOSFET 元胞级别集成 SBD 存在 2 种主要的集成方式, 分别为在 MOSFET 芯片 P+ 区之间或者在 Pwell 之间的 JFET 区进行集成, 如图 1 所示。2 种集成方式均能抑制寄生二极管的开启, 不同之处在于图 1a) 所示结构可以实现更小的元胞尺寸, 获得更高的电流密度, 但其制造难度远大于图 1b) 所示结构。

本文对图 1b) 所示结构进行建模仿真, 仿真使用的软件为 Synopsys 公司的 Sentaurus。仿真中采用的物理模型主要包括迁移率退化模型、迁移

收稿日期: 2021-07-03; 修回日期: 2021-08-26。

基金项目: 国家重点研发计划资助项目 (2016YFB0400503)。

率高电场饱和模型、非完全电离模型、浓度及温度相关复合模型、俄歇复合模型、雪崩电离模型等，所使用的材料模型主要为 Synopsys 的 4H-SiC 材料模型。元胞关键参数设计如表 1 所示。

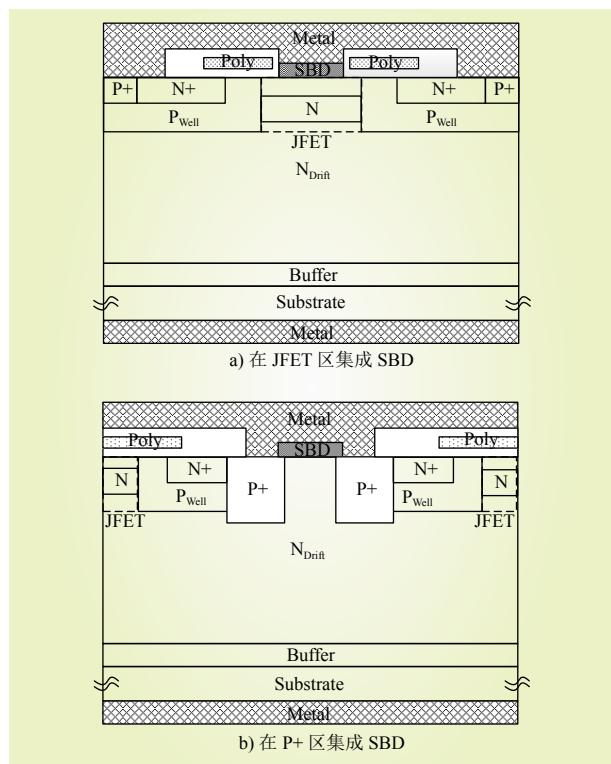


图 1 在 JFET 区集成 SBD 的 MOSFET 和在 P+ 区集成 SBD 的 MOSFET  
Fig. 1 Structure of MOSFET integrated SBD between JFET region and MOSFET integrated SBD between P+ region

表 1 元胞关键参数设计  
Table 1 Design of key parameters of cell  
单位:  $\mu\text{m}$

沟道长度	JFET 宽度	SBD 宽度	元胞尺寸
0.8	2	3	12.6

结合表 1 所示参数对图 1b) 所示结构的阈值电压、输出特性、阻断特性和二极管导通特性进行仿真设计，其中有源区面积设置为  $2.86 \text{ mm}^2$ ，得到图 2~5 所示结果。

阈值电压与 Pwell 表面 P 型掺杂浓度、栅氧化层厚度相关，掺杂浓度越高，栅氧越厚则阈值电压越大。如图 2 所示，阈值电压设计值为  $2.7 \text{ V}$  ( $I_{\text{DS}}=1\text{mA}$ ,  $T=25^\circ\text{C}$ )。

JFET 区掺杂技术是提升芯片电流能力的主要

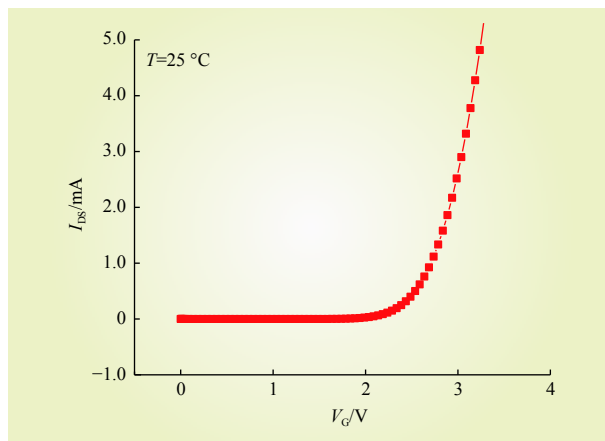


图 2 转移特性仿真结果  
Fig. 2 The simulation results of transfer characteristics

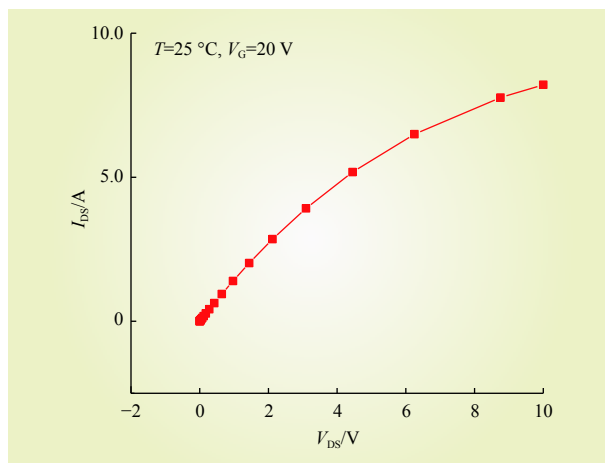


图 3 输出特性仿真结果  
Fig. 3 The simulation results of output characteristics

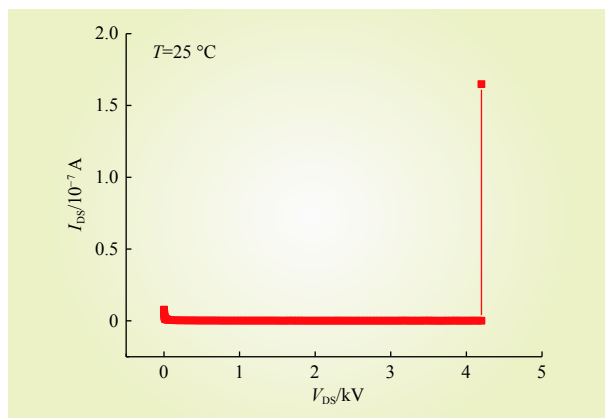


图 4 阻断特性仿真结果  
Fig. 4 The simulation results of blocking characteristics

手段之一，本文采用氮离子注入的方式，在元胞区进行选择性掺杂，离子注入掩膜版与场氧腐蚀

的掩膜版相同，避免了额外光刻版的引入，降低了成本。如图 3 所示，芯片的比导通电阻设计值为  $20.4 \text{ m}\Omega\cdot\text{cm}^2$  ( $V_G=20\text{V}$ ,  $V_{DS}=1.6\text{V}$ )。

终端保护结构的目的是缓解主结的曲率效应<sup>[12]</sup>，其结构主要包扩浮空场限环、结终端扩展、场板等<sup>[13-15]</sup>，场限环因其制备流程简单、耐压效率高等优势而被广泛应用，本文采用的终端结构为 40 个场限环，总尺寸为  $161.4\mu\text{m}$ 。仿真结果如图 4 所示，击穿电压达到  $4\ 200\ \text{V}$ 。需要说明的是，图 4 阻断特性仿真中起始阶段出现随电压升高漏电流下降的情况，这是由于为了增加仿真的收敛性，在仿真中增加了光生载流子导致的。

二极管输出特性包括 SBD 输出特性与寄生二极管输出特性，当 SBD 阳极施加的电压 ( $V_{SD}$ ) 达到一定值时，SBD 首先开启，如图 5 所示，当  $I_{SD}=100\ \text{A}/\text{cm}^2$  时， $V_{SD}=2.1\ \text{V}$ ，当继续增加电压后，寄生二极管开启，此时  $V_{SD}=4.7\ \text{V}$ 。

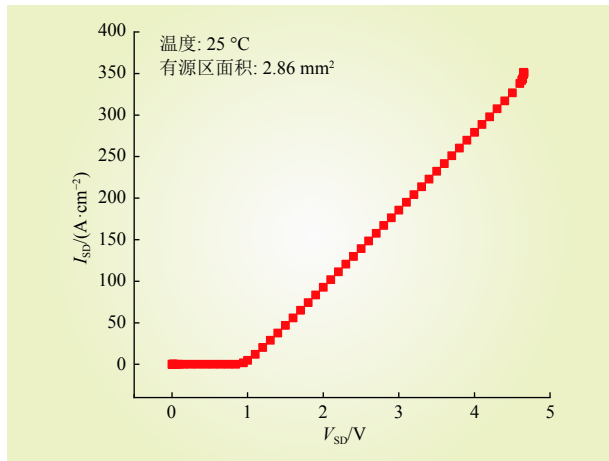


图 5 二极管输出特性仿真结果  
Fig. 5 The simulation results of diodes output characteristics

## 2 器件制备与工艺优化

SBD 嵌入式 MOSFET 与传统 MOSFET 工艺流程相兼容，不同之处在于嵌入式 MOSFET 工艺集成了 Ti 肖特基合金工艺，用于形成内嵌 SBD。

在 Ni 金属（用于形成欧姆接触）退火后，源极孔边缘区域的层间介质（氧化层）上形成了疏松的块状颗粒物，如图 6 所示。对图 6 中所示 1、2、3 位置进行元素分析，得到表 2 结果，可以看

出，不论该区域是否存在疏松块状颗粒，各区所含元素及质量百分比均相近，以氧、硅元素为主，因此可判断该疏松块状颗粒为氧硅化合物，这些化合物会使得光刻胶在该位置的粘附性不好，进而造成该区域肖特基开孔时侧腐过大，最终导致肖特基金属与栅极多晶硅接触，如图 7 所示。晶圆测试表现为器件的栅极与源极短路，器件的栅源漏电过高。

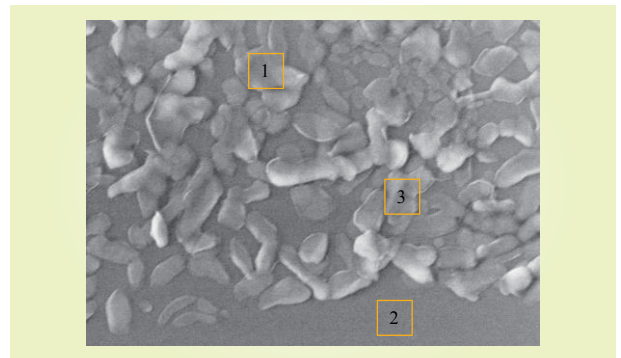


图 6 疏松块状颗粒  
Fig. 6 Loose massive particles

表 2 元素分析结果  
Table 2 Elemental analysis results

位置	元素种类及元素质量百分比/%					
	B	C	O	Al	Si	Ni
1	1.8	0.4	38.0	0.4	59.3	0.2
2	4.0	0.5	34.8	0.6	59.9	0.3
3	3.8	1.1	35.7	0.6	58.6	0.2

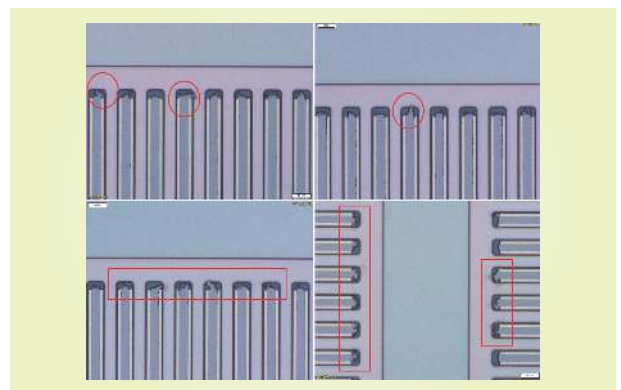


图 7 肖特基湿法开孔  
Fig. 7 Schottky wet etching window

使用氟化铵缓冲后的稀氢氟酸（BOE）对

Ni 退火湿法腐蚀后晶圆表面进行漂洗，去除一定厚度氧化层后能够去除氧化层表面颗粒状残留，增加氧化层与光刻胶之间粘附性。经优化，当晶圆表面 BOE 漂洗时间大于等于 10s 时，氧化层钻蚀尺寸趋于稳定。图 8 是 BOE 对晶圆表面漂洗 10s 后的氧化层腐蚀形貌，晶圆测试显示栅源漏电良率由 30% 提升至 88%。

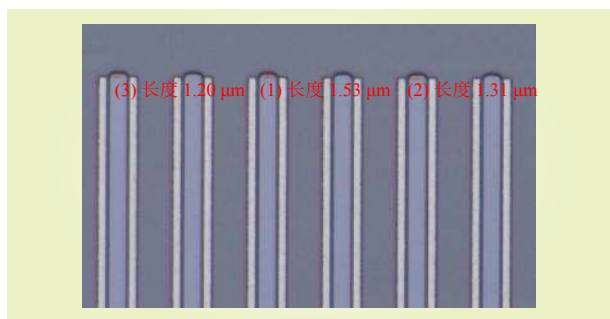


图 8 BOE 漂洗 10s 后氧化层形貌  
Fig. 8 The appearance of oxide layer after 10s of BOE rinsing

### 3 结果讨论

芯片制备过程中的阈值电压控制与应用过程中阈值的稳定性至关重要，图 9 是 2 颗 3 300 V SiC SBD 嵌入式 MOSFET 的转移特性曲线，2 条曲线基本重合，阈值电压  $V_{TH}=3.05\text{ V}$  ( $I_D=1\text{ mA}$ )。

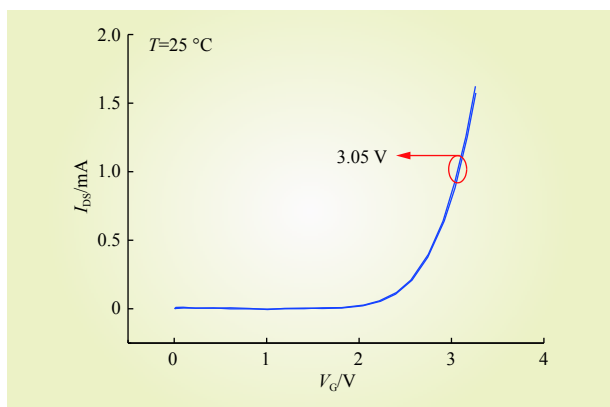


图 9 3 300V SiC SBD 嵌入式 MOSFET 转移特性曲线  
Fig. 9 The transfer characteristic of 3 300V SiC MOSFET with embedded SBD

图 10 是栅压 20 V 下的输出特性曲线，当漏极-源极电压  $V_{DS}=1.6\text{ V}$  时，比导通电阻为  $18.9\text{ m}\Omega\cdot\text{cm}^2$ 。

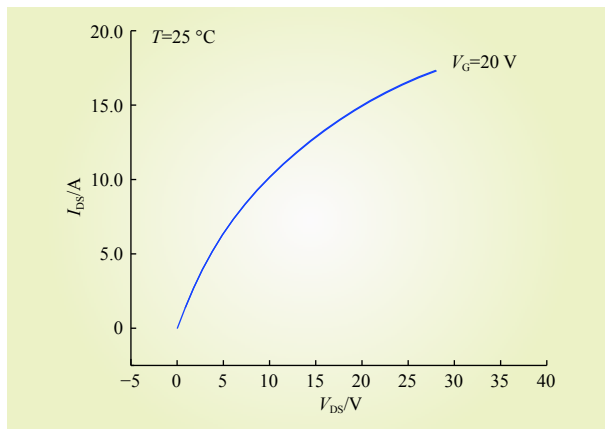


图 10 3 300V SiC SBD 嵌入式 MOSFET 输出特性曲线  
Fig. 10 The forward characteristic of 3 300V SiC MOSFET with embedded SBD

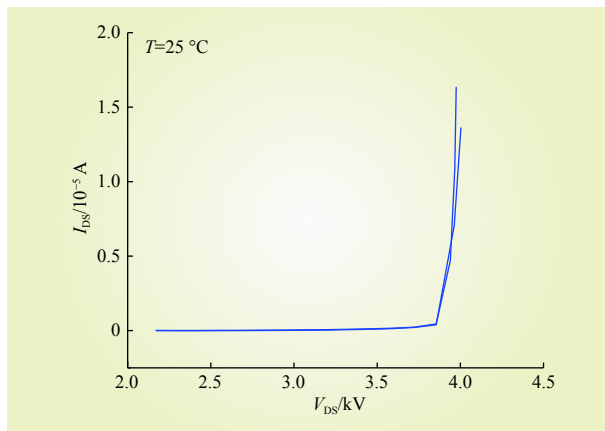


图 11 3 300V SiC SBD 嵌入式 MOSFET 阻断特性曲线  
Fig. 11 The backward characteristic of 3 300V SiC MOSFET with embedded SBD

图 11 是 2 颗 3 300V SiC SBD 嵌入式 MOSFET 芯片的阻断特性曲线，当  $I_{DS}=10\text{ }\mu\text{A}$ ，阻断电压达到 3 955 V。

图 12 是二极管输出特性曲线，二极管电压降  $V_{SD(SBD)}=2.1\text{ V}$  ( $J_{SD}=100\text{ A/cm}^2$ ,  $V_G=-5\text{ V}$ )，此时寄生二极管的开启电压接近 8 V，这说明集成 SBD 很大程度上限制了寄生二极管的开启，从源头上抑制了 SiC MOSFET 器件的“双极退化”效应。

结合上述测试结果与仿真结果，可以看出，阈值电压、比导通电阻、击穿电压设计值与测试结果之间的误差均在 10% 以内，寄生二极管开启电压误差较大，可能的原因有 2 点：（1）仿真中双极电流模型优化欠佳，导致仿真值本身存在误差，（2）P 型欧姆接触的效果欠佳，导致测试值偏大。

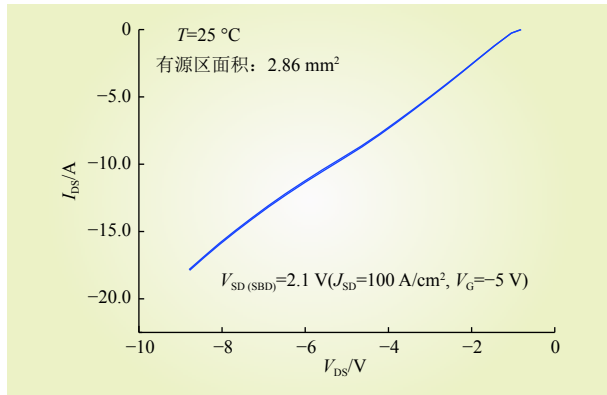


图 12 3 300V SiC SBD 嵌入式 MOSFET 二极管  
输出特性曲线

Fig. 12 The diode output characteristic of 3 300V SiC  
MOSFET with embedded SBD

### 参考文献：

- [1] HAMADA K, HINO S, MIURA N, *et al.* 3.3 kV/1500 A power modules for the world's first all-SiC traction inverter[J]. *Japanese Journal of Applied Physics*, 2015, 54(4 S): 04D07.
- [2] LENDENMANN H, DAHLQUIST F, JOHANSSON N, *et al.* Long term operation of 4.5 kV PiN and 2.5 kV JBS diodes[J]. *Materials Science Forum*, 2001, 353-356: 727-730.
- [3] BERGMAN P, LENDENMANN H, NILSSON P A, *et al.* Crystal defects as source of anomalous forward voltage increase of 4H-SiC diodes[J]. *Materials Science Forum*, 2001, 353-356: 299-302.
- [4] LENDENMANN H, BERGMAN P, DAHLQUIST F, *et al.* Degradation in SiC bipolar devices: sources and consequences of electrically active dislocations in SiC[J]. *Materials Science Forum*, 2003, 433-436: 901-906.
- [5] MUZYKOV P G, KENNEDY R M, ZHANG Qinchun, *et al.* Physical phenomena affecting performance and reliability of 4H-SiC bipolar junction transistors[J]. *Microelectronics Reliability*, 2009, 49(1): 32-37.
- [6] SUNG W, BALIGA B J. Monolithically integrated 4H-SiC MOSFET and JBS diode (JBSFET) using a single ohmic/Schottky process scheme[J]. *IEEE Electron Device Letters*, 2016, 37(12): 1605-1608.
- [7] SUNG W, BALIGA B J. On developing one-chip integration of 1.2 kV SiC MOSFET and JBS diode (JBSFET)[J]. *IEEE Transactions on Industrial Electronics*, 2017, 64(10): 8206-8212.
- [8] KANALE A, BALIGA B J, HAN K J, *et al.* Experimental study of high-temperature switching performance of 1.2kV SiC JBSFET in comparison with 1.2kV SiC MOSFET[J]. *Materials Science Forum*, 2019, 963: 625-628.
- [9] TOMINAGA T, HINO S, MITSUI Y, *et al.* Superior switching characteristics of SiC-MOSFET embedding SBD[C]. *IEEE 2019 31st International Symposium on Power Semiconductor Devices and IC's (ISPSD)*. Shanghai, China. 2019: 27-30.
- [10] TOMINAGA T, HINO S, MITSUI Y, *et al.* Investigation on the effect of total loss reduction of HV power module by using SiC-MOSFET embedding SBD[J]. *Materials Science Forum*, 2020, 1004: 801-807.
- [11] KAWAHARA K, HINO S, SADAMATSU K, *et al.* 6.5 kV Schottky-barrier-diode-embedded SiC-MOSFET for compact full-unipolar module[C]. *IEEE 2017 29th International Symposium on Power Semiconductor Devices and IC's (ISPSD)*. Sapporo, Japan, 2017: 41-44.
- [12] ADLER M S, TEMPLE V A K. Maximum surface and bulk electric fields at breakdown for planar and beveled devices[J]. *IEEE Transactions on Electron Devices*, 1978, 25(10): 1266-1270.
- [13] SHERIDAN D C, NIU GUOFU, MERRETT J N, *et al.* Design and fabrication of planar guard ring termination for high-voltage SiC diodes[J]. *Solid-State Electronics*, 2000, 44(8): 1367-1372.
- [14] SUNG W, BRUNT V B, BALIGA B J, *et al.* A New edge termination technique for high-voltage devices in 4H-SiC-Multiple-Floating-Zone junction termination extension[J]. *IEEE Electron Device Letters*, 2011, 32(7): 880-882.
- [15] SAXENA V, SU J N, ANDREW J S. High-voltage Ni-and Pt-SiC Schottky diodes utilizing metal field plate termination[J]. *IEEE Transactions on Electron Devices*, 1999, 46(3): 456-464.

### 作者简介：

刘国友（1966—），男，博士，高级工程师（教授级），从事功率半导体器件技术研究、产品开发及产业化工作，E-mail: liugy@csrzc.com;

罗海辉（1982—），男，博士，高级工程师（教授级），从事功率半导体器件技术研究、产品开发及产业化工作，E-mail: luohy@csrzc.com;

李诚瞻（1979—），男，博士，高级工程师（教授级），从事宽禁带化合物半导体器件研究与开发工作，E-mail: licz@csrzc.com;

宋瑾（1991—），男，硕士，助理工程师，通信作者，从事碳化硅功率半导体器件研发工作，E-mail: songguan@csrzc.com。

（责任编辑 吴恒天）

（下转第 93 页）