

压接型 IGBT 芯片的参数分散性对其并联时关断均流的影响

曹子楷¹, 崔翔¹, 代安琪², 李学宝^{1*}, 范迦羽¹, 詹雍凡¹, 唐新灵²

1. 新能源电力系统国家重点实验室(华北电力大学), 北京市 昌平区 102206;
2. 先进输电技术国家重点实验室(北京智慧能源研究院), 北京市 昌平区 102209

Influence of Parameter Dispersion of Parallel Press-pack IGBT Chips on Its Current Sharing During Turn-off Process

CAO Zikai¹, CUI Xiang¹, DAI Anqi², LI Xuebao^{1*}, FAN Jiayu¹, ZHAN Yongfan¹, TANG Xinling²

- (1. State Key Laboratory of Alternate Electrical Power System with Renewable Energy Sources (North China Electric Power University), Changping District, Beijing 102206, China; 2. State Key Laboratory of Advanced Power Transmission Technology (Beijing Institute of Smart Energy), Changping District, Beijing 102209, China)

ABSTRACT: Serious current imbalance will occur during turn-off process of parallel press pack insulated gate bipolar transistor (IGBT), which directly affects the reliability of the device. This paper focuses on the influence of the chip parameter of press pack IGBT on the current sharing during its turn-off process. First, according to the turn-off mechanism and waveform of the single chip, the influence law of the chip parameter on the collector current variation in each stage is analyzed. Next, the first class of current competition and the second class of current competition in the turn-off waveform of dual chips are defined. Additionally, the random distribution model for the first class of current competition is established, and the influence law of chip parameter and the number of parallel connections on current sharing during turn-off process is obtained. Then, the validity of the proposed rule is verified by the double-pulse experiment on dual chips. Finally, based on the analysis results, some screening recommendations such as the mutual compensation of threshold voltage, saturation voltage drop, and keeping the threshold voltage difference and transconductance difference different signs are put forward. The research results of this paper can provide guidance for parameter screening of parallel press pack IGBT chips.

KEY WORDS: press pack insulated gate bipolar transistor (IGBT); current sharing during turn-off process; chip parameter; screening recommendations

基金项目: 国家电网有限公司科技项目(5500-202299490A-2-0-KJ)。

Science and Technology Project of State Grid of China (5500-202299490A-2-0-KJ)。

摘要: 压接型绝缘栅双极晶体管(insulated gate bipolar transistor, IGBT)的多芯片并联关断期间会出现严重的不均流现象,直接影响到器件的关断可靠性。文中重点研究压接型 IGBT 芯片参数对其并联时关断均流的影响,首先,根据 IGBT 单芯片的关断机理和波形,分析芯片参数对 IGBT 单芯片关断各个阶段内集电极电流变化的影响规律;其次,定义多芯片并联关断波形中出现的的第一类及第二类电流竞争峰谷,建立针对第一类电流竞争峰谷的随机分布模型,获得芯片参数以及并联数目对关断均流的影响规律,通过并联双芯片的双脉冲实验,验证所得规律的有效性;最后,结合分析结果提出阈值电压与饱和压降的相互补偿以及保持阈值电压差与跨导差异号等芯片筛选建议。研究成果可以为并联压接型 IGBT 芯片的参数筛选工作提供指导。

关键词: 压接型绝缘栅双极晶体管; 关断均流; 芯片参数; 筛选建议

0 引言

在高压大功率压接型绝缘栅双极晶体管(insulated gate bipolar transistor, IGBT)器件的应用中,多芯片并联的开关瞬态均流问题直接影响器件的运行可靠性,且受芯片参数分散性的影响较大。文献[1]中研究了芯片参数分散性对压接型 IGBT 器件开通均流的影响。然而,在 IGBT 关断过程中由于关断初期芯片的电压电流初始值较高,关断失效问题比较严重^[2]。此外,由于各芯片关断的非同时性以及电感对总电流的钳制特征,电流波形可能会出现严重的再分配现象^[3]。因此,本文重点研究压

接型 IGBT 芯片并联关断过程中的电流不均衡现象。

当前针对焊接型 IGBT 芯片并联均流的研究较多^[4]，而针对压接型 IGBT 芯片并联均流的研究起步较晚，大部分是从温度、压力角度展开的^[5]，也有部分从外部电路角度展开^[6]。其中，学者们通常控制并联芯片的芯片参数一致，然而由于芯片工艺的不稳定性，芯片参数存在一定的分散性。因此，研究芯片参数自身分散性对关断均流的影响对于多芯片并联关断的电流均衡具有重要的意义。

目前，国内外学者已通过仿真和实验手段开展了多芯片并联关断电流均衡的问题研究。2008年哥伦比亚大学学者在多芯片并联 PSpice 仿真中发现了严重的再分配现象，并推导了电流不均衡度的表达式^[3]；2013年罗斯托克大学学者从电势与电荷的角度分析了影响 IGBT 关断行为的关键参数特征，并给出了基于半导体物理机制的解释^[7]；2015年华中科技大学学者在高压 IGBT 的并联波形中发现了关断过程中可能不止出现一次峰谷，并把关断损耗作为均流的考量指标^[8]；2017年北京航空航天大学学者采用双极方程分阶段地分析了关断均流并搭建 Simulink 仿真平台进行验证^[9]；2017年浙江大学学者采用电热有限元仿真模型分析了电感、电阻等参数对双芯片关断均流的影响规律^[10]；2021年华北电力大学学者沿用电流差值作为均流指标，在 Saber 仿真中发现了在关断均流中芯片参数之间存在着补偿作用^[11]；2019年意大利那不勒斯大学学者将“正态分布”这一统计概念带入了 IGBT 芯片参数的分散性分析中^[12]；2020年电子科技大学学者借助人工智能工具进一步采用统计数据分析了影响 IGBT 并联均流的芯片参数^[13]。

然而，无论是针对压接型芯片还是焊接型芯片，现有的均流研究几乎都依托各类仿真工具，缺乏实验数据的验证，且鲜将波形中的电流不均衡度与芯片参数的分散性建立起数学联系。

因此，本文在并联支路温度、压力、外部电路的一致性的前提条件下，聚焦于研究芯片参数自身分散性对多芯片并联关断均流的影响，针对压接型 IGBT 芯片的关断实验波形分析各阶段电流变化的特征，而后针对并联芯片的电流分布问题引入统计概念以推导芯片参数对并联电流均衡指标的定量影响规律，并在并联双芯片的双脉冲实验中验证所得结论，最后提出对应的芯片筛选建议。本文可以

为大功率压接型 IGBT 器件的芯片参数工作筛选提供一定指导。

1 IGBT 芯片关断过程中集电极电流的变化规律

单颗压接型 IGBT 芯片在感性负载下的关断波形如图 1 所示。依据芯片内部的机理，IGBT 芯片的关断过程经历了关断延迟阶段、密勒平台阶段、电压上升阶段、电流下降阶段和拖尾阶段共 5 个阶段。由于本文聚焦关断均流，故重点在分析集电极电流 I_c 的变化，栅射极电压(以下简称栅压) V_{ge} 与集射极电压 V_{ce} 的波形仅作辅助分析使用。以下，逐一讨论 5 个阶段中 I_c 的变化规律。

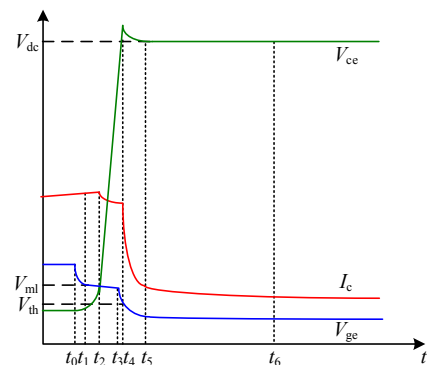


图 1 IGBT 芯片的关断波形

Fig. 1 Turn-off waveform of single IGBT chip

1.1 关断延迟阶段

关断延迟阶段对应于图 1 的 t_0 — t_1 时间段。此阶段起始时刻驱动电源开始给负电压，栅压开始下降但还未达到 IGBT 芯片关断的阈值电压，所以 IGBT 芯片外部的电学特征几乎保持不变，即 I_c 为稳态导通电流， V_{ce} 为饱和管压降 $V_{ce,sat}$ 。

1.2 密勒平台阶段

密勒平台阶段对应于图 1 的 t_1 — t_3 时间段。此阶段起始 t_1 时刻栅压下降至密勒电平 V_{ml} ^[14]：

$$V_{ml} = V_{th} + \sqrt{\frac{I_L}{K}} \quad (1)$$

式中： V_{th} 为芯片阈值电压； I_L 为稳态负载电流； K 为文献[14]中 IGBT 芯片在有源区时 I_c 与 $(V_{ge} - V_{th})^2$ 的二次拟合系数。

由式(1)可知，单芯片关断过程中密勒电平略高于阈值电压。在实际工况下，由于外置栅极放电回路的存在，栅压并不是严格的一条水平线，而是呈缓慢下降的近水平线。在 t_1 — t_2 时间段内，IGBT 芯片还未退饱和，故 V_{ce} 的上升速率很低，而 I_c 由于

V_{ge} 未下降至 V_{th} 而保持不变。在 t_3 时刻，栅压退出了密勒平台。

1.3 电压上升阶段

电压上升阶段对应于图 1 的 t_2 — t_4 时间段。由于密勒电容的逐步放电，从 t_2 时刻开始 V_{ce} 的上升速率逐步增大。一般认为， V_{ce} 随时间 t 的变化规律可用多项式函数拟合^[14]。由于电路内存在寄生电容， I_c 波形随着 V_{ce} 的上升会有一段跌落。当寄生电容默认不变时， I_c 的跌落速率满足下式，即有：

$$\frac{dI_c}{dt} = \frac{d(C_{js}dV_{ce}/dt)}{dt} \quad (2)$$

式中 C_{js} 为寄生电容。

图 2 给出了图 1 波形中此时间段内的 I_c 拟合曲线，可见仅二次多项式的拟合优度 R^2 便高达 99.4%。

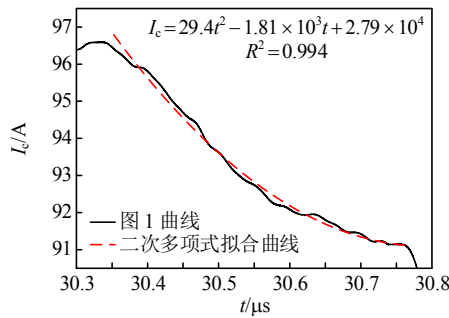


图 2 I_c 的多项式拟合曲线

Fig. 2 The polynomial fitting curve of I_c

1.4 电流下降阶段

电流下降阶段对应于图 1 的 t_4 — t_5 时间段。在 t_4 时刻， V_{ce} 初次上升至母线电压 V_{dc} ，同时栅压下降至阈值电压 V_{th} ，此后 V_{ce} 由于杂散电感的作用会出现短暂的过冲， I_c 电流由于导电沟道的关断而迅速下降，图 3 即为图 1 中此时间段内的 I_c 拟合曲线。由图可知，指数式的拟合优度 R^2 高达 94.1%，此阶段内 I_c 的变化仍可用指数初等函数很好地拟合。

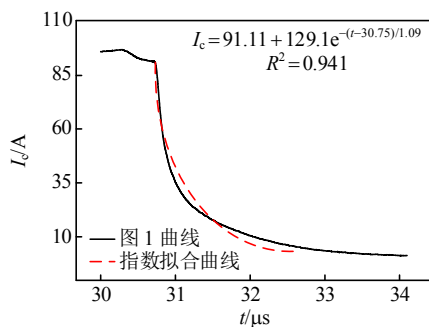


图 3 I_c 的指数拟合曲线

Fig. 3 The exponential fitting curve of I_c

1.5 拖尾阶段

拖尾阶段对应于图 1 的 t_5 — t_6 时间段。此阶段中 IGBT 芯片内部主要发生少数载流子的复合过程， I_c 的变化幅度不大，速度缓慢，故而称为拖尾过程。

综上所述，压接型 IGBT 芯片关断过程中 I_c 的变化主要发生在电压上升阶段和电流下降阶段。 I_c 在电压上升阶段的跌落主要受杂散电容参数影响，在电流下降阶段的起始点主要受阈值电压参数影响。同时，整个关断过程中 I_c 波形可以被初等函数较好地拟合。所以，2 节将主要分析并联 IGBT 芯片关断过程中关键时间节点下 I_c 的分布特征。

2 并联 IGBT 芯片关断过程中的电流竞争峰谷

1 节主要论述了 IGBT 单芯片关断各阶段中 I_c 的变化规律，而并联多芯片的关断过程由于存在先后关断情况会更加复杂，尤其是在大电流等级下关断时。并联两芯片在 90 A 电流等级下关断的 I_c 波形如图 4 所示。

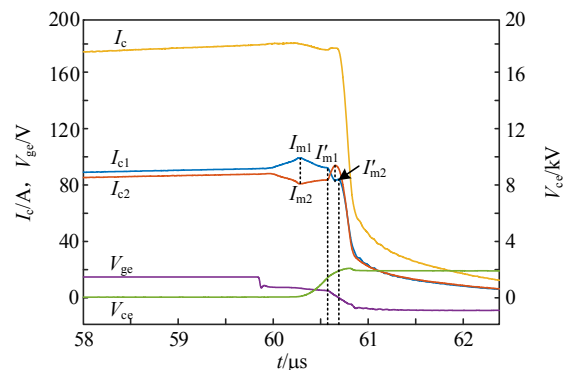


图 4 双芯片 90 A 下的关断波形

Fig. 4 Turn-off waveform of dual chips at 90 A

图 4 与图 1 中的芯片电流波形主要存在两点不同：1) 稳态阶段的总电流波形不再是一条水平线；2) 双芯片的电流波形出现了明显的峰谷现象。

针对第 1 点，本文定义稳态阶段总负载电流达到额定负载电流 $NI_{c,rated}$ (N 为并联芯片数目， $I_{c,rated}$ 为单颗 IGBT 芯片的额定负载电流) 时第 i 号 IGBT 芯片的集电极电流为 I_{Li} ，其中 $i=1,2,\dots,N$ 。

针对第 2 点，图 4 显示的关断电流波形中出现了两次峰谷现象。前一个峰谷是芯片的先后关断导致的，此时多芯片的平均 V_{th} 介于各芯片 V_{th} 的最大值与最小值之间，所以式(1)不再对并联芯片适用。由机理分析可知，阈值电压大的芯片在密勒平台前

期关断,其电流下降,而总电流受到电感钳制不能突变,故而阈值电压小的芯片的电流会上升,两芯片的电流出现了类似竞争的关系。因此,本文将其定义为第一类电流竞争峰谷,即为通常讨论的并联多芯片关断过程中的电流再分配现象^[3]。同时,本文定义第1类电流竞争峰谷时刻第*i*号IGBT芯片的集电极电流为 I_{m_i} ,其中 $i=1,2,\dots,N$ 。后一个峰谷起始于栅压退出密勒平台的时刻,结束于 t_r 时刻。此情况下,某颗芯片的 I_c 随着栅压的突然跌落会加快降低,然而栅压长时间处于密勒平台,导致总电流无法迅速关断,所以另一颗芯片的 I_c 会出现一个短暂过冲,这同样是一种竞争关系,所以对应前者,本文将其定义为第2类电流竞争峰谷,对应时刻的第*i*号IGBT芯片的集电极电流为 I_{m_i} ,其中 $i=1,2,\dots,N$ 。

下文以双芯片为例讨论芯片参数对这两类电流竞争峰谷的影响规律并作多芯片并联工况下的理论推广。

2.1 芯片参数对第1类电流竞争峰谷的影响规律

为了更好地研究第1类电流竞争峰谷,本文选择了25A电流等级下的并联关断波形,此电流等级下几乎不会出现第2类电流竞争峰谷,图5为典型的第1类电流竞争峰谷波形。

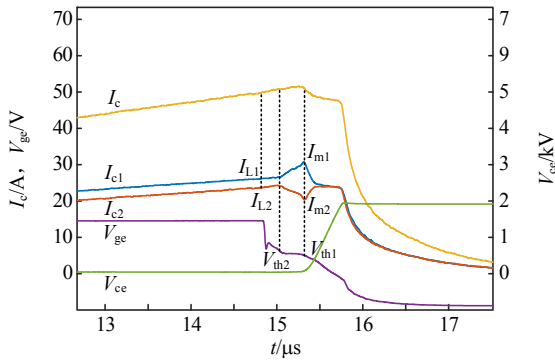


图5 第1类电流竞争峰谷波形

Fig. 5 The first class of current competition waveform

为了消除稳态负载电流的影响,本文定义双芯片并联关断过程中的第1类电流竞争峰谷的最大差额 δ 如下:

$$\delta = (I_{m1} - I_{m2}) - (I_{L1} - I_{L2}) \quad (3)$$

值得注意的是,式中 $(I_{m1} - I_{m2})$ 与 $(I_{L1} - I_{L2})$ 可能同号也可能异号,当二者异号时,说明稳态负载电流大的芯片在第1类电流竞争峰谷中先关断,其电流会先下降。本文将异号对应的波形定义为反向形

态的第一类电流竞争峰谷,其波形如图6所示。

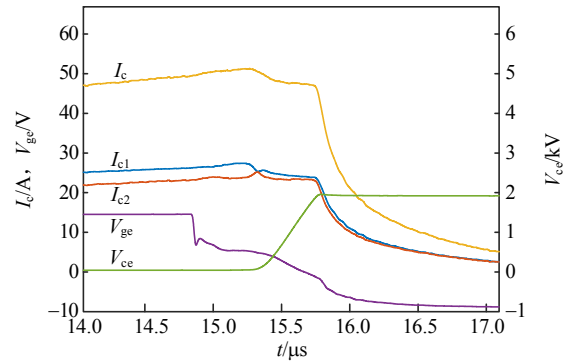


图6 反向形态的第1类电流竞争峰谷

Fig. 6 The first class of reverse current competition

针对差额 δ 的大小,罗斯托克大学学者给出了其与两芯片的关断延迟差 $\Delta t_{d(\text{off})}$ 的线性拟合关系^[15]。由机理分析可知, δ 的大小与第1类电流竞争峰谷的持续时间及先关断芯片的电流下降速率相关。由于栅极通常外置较大的栅极电阻,栅压在密勒平台阶段的下降可认为是缓慢线性下降,所以持续时间应与两芯片阈值电压差成正比,下降速率应与先关断芯片在负载电流附近的跨导 g_{fs} 成正比。

以图6情况为例, δ 应满足:

$$\delta = a \cdot g_{fs1} (V_{th1} - V_{th2}) \quad (4)$$

式中: a 为线性比例系数; g_{fs1} 为芯片1转移曲线上稳态负载点的切线斜率。

将式(4)情况推演至 N 芯片并联工况,不妨设 $V_{th1} < V_{th2} < \dots < V_{thN}$ 。由于 δ 已经规避了稳态负载差值的影响,可认为在起始时刻 N 芯片的电流是相同的。 N 芯片并联会经历 N 个先后关断过程 (t_1, t_2, \dots, t_N) ,最终的最大差额 δ 应与每颗芯片的 V_{th} 与 g_{fs} 均相关。若记 I_i^t 为第*i*号芯片在 t_j 时刻的电流值,则有:

$$I_i^{N-i} - I_i^{N-i+1} = a \cdot g_{fsi} (V_{th(i)} - V_{th(i-1)}), \quad i \in \{N, N-1, \dots, 2\} \quad (5)$$

若认为未关断芯片的电流同步上升,则 N 芯片并联工况下 I_c 的最大差额 δ 的绝对值应满足:

$$|\delta| = \sum_{i=2}^N \frac{ag_{fsi}}{i-1} (V_{th(i)} - V_{th(i-1)}) \quad (6)$$

式中跨导 g_{fs} 取为各芯片在其负载电流下的跨导值,由于假设了起始时刻各芯片电流相同,所以取为额定负载 $I_{c,\text{rated}}$ 下的跨导值。

从定性层面分析,要想使得 δ 尽可能小,由于

芯片的跨导值相对固定，则芯片阈值电压的极差不能过大。从定量层面分析，芯片阈值电压和跨导值的相关统计特性在某 3 300 V/50 A 国产芯片样本中已经测得^[1]，考虑到商业原因，取样本阈值电压和跨导的平均值为 1 pu，归一化下的芯片参数正态分布特征如表 1 所示。

表 1 芯片参数正态分布特性

Table 1 Normal distribution of chip parameters pu

| 参数 | 平均值 | 标准差 |
|----------|-----|-------|
| V_{th} | 1 | 0.019 |
| g_{fs} | 1 | 0.044 |

式(6)中的 a 值可根据实验数据拟合求解得到，这里预先取为后续实验中的 1.88。

根据前面的假设验证，样本 IGBT 芯片 V_{th} 的概率密度分布近似满足正态分布，即有：

$$f(V_{th}) = \frac{1}{\sqrt{2\pi} \times \sigma} \exp\left(-\frac{(V_{th} - \mu)^2}{2 \times \sigma^2}\right) \quad (7)$$

其中所对应的概率分布函数可以通过积分求得，即有：

$$F(V_{th}) = \int_{-\infty}^{V_{th}} f(V_{th}) dV_{th} \quad (8)$$

根据概率分布函数的定义， $F(V_{th})$ 的值介于 0~1 之间，式(7)、(8)对变量 g_{fs} 同样适用。于是，可以通过产生随机数并重复 N 次来得到满足表 1 分布的 N 颗 IGBT 芯片的 V_{th} 序列以及跨导 g_{fs} 序列。

根据统计学，如定义事件 A 为 δ 的绝对值不超过 5 A，则 A 事件发生的概率 $P(A)$ 可以通过多次独立重复试验求出。本文设置独立试验的重复次数为一千万次，当 $P(A)$ 小数点一位以前的数字连续 3 次完全相同时则将其记录。表 2 给出了不同并联数目 N 下的 $P(A)$ 值。表 2 中， $P(A)$ 随着 N 的增大而增大，最终趋于稳定值，在市面常见的 30 颗并联工况下约为 62.6%。

表 2 不同 N 值下的 $P(A)$

Table 2 $P(A)$ at various values of N

| N | $P(A)/\%$ | N | $P(A)/\%$ |
|-----|-----------|-----|-----------|
| 2 | 52.2 | 20 | 62.4 |
| 4 | 60.9 | 30 | 62.6 |
| 10 | 62.0 | — | — |

图 7 给出了 $N=30$ 时模拟的前一万次的 $P(A)$ 散点图，可见 $|\delta|$ 最高超过 25 A，但大部分均低于 10 A。

若将阈值电压的标准差降低为原来的一半，则

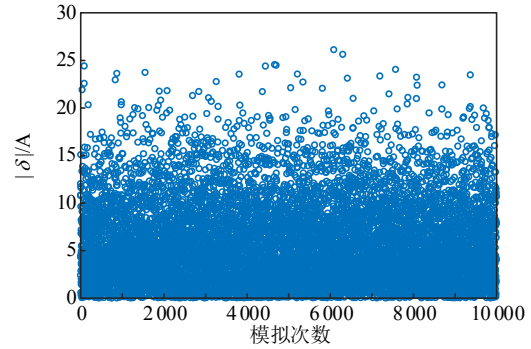


图 7 $N=30$ 时的 $P(A)$ 散点图

Fig. 7 Scatter plot of $P(A)$ at $N=30$

30 颗芯片下 $P(A)$ 高达 92.3%。

因此，相较于增大并联数目，只需控制好样本阈值电压和跨导的分散性便可以有效限制第 1 类电流竞争峰谷的差额。

2.2 芯片参数对第 2 类电流竞争峰谷的影响规律

图 5、6 中的 IGBT 芯片均工作在额定电流 50 A 以内，并没有出现第 2 类电流竞争峰谷，然而随着 IGBT 芯片负载电流的提升，密勒平台的持续时间随之增加^[16]，总电流无法及时进入电流下降阶段，从而出现了第 2 类电流竞争峰谷。

由图 4 可知，此时的总电流值没有超过第 1 类电流竞争峰谷的最大值，因此问题聚焦于比较两个峰谷的相对关系，此时不再规避稳态电流的影响而直接研究峰谷差值，即比较 $(I_{m1} - I_{m2})$ 与 $(I'_{m1} - I'_{m2})$ 的关系。

首先，从符号上分析，第 2 类电流竞争峰谷相较于第 1 类电流竞争峰谷可能是同向也可能是反向，图 8 给出了与图 4 相异的第 2 类电流竞争峰谷波形。由图可知，第 2 类电流竞争峰谷的峰值可能更大，这对均流是极其不利的。在其峰值时刻，双芯片的 V_{ce} 已经处于较高水平，但电流等级还处在负载电流附近。

在双芯片关断过程中，若认为芯片下降由双芯片的跨导值 g_{fs} 大小决定，则当芯片跨导差 $(g_{fs1} - g_{fs2})$ 和阈值电压差 $(V_{th1} - V_{th2})$ 同号的时候会出现同向第 2 类电流竞争峰谷，反之会出现反向第 2 类电流竞争峰谷。此外，同向第 2 类电流竞争峰谷由于第一峰的积累效应更易导致峰值比第 1 类电流竞争峰谷的峰值大，也即同向第 2 类电流竞争峰谷对均流的威胁更严重。

综上，在并联芯片的两类电流竞争峰谷中，阈值电压与跨导是影响关断均流的关键芯片参数。

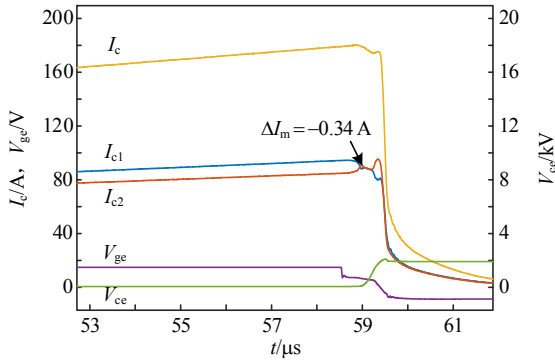


图8 同向形态的第2类电流竞争峰谷波形

Fig. 8 The second class of synthetic current competition

3 并联 IGBT 芯片关断均流规律的实验验证

3.1 实验设置

本文重点研究芯片参数的分散性对并联均流特性的影响,考虑到双脉冲实验能很好地避免芯片长时间通流带来的温升影响,也是被广泛应用于并联电流均衡的实验研究中^[5],因此本文采用双脉冲实验验证2节中关于并联芯片关断均流的结论,图9即为关断过程的双脉冲原理波形。

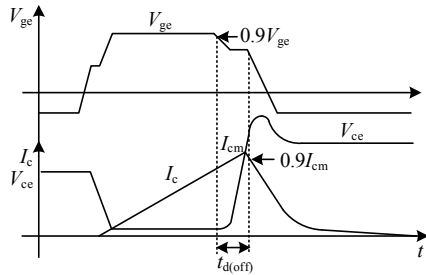
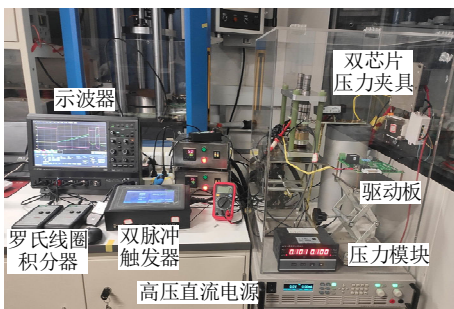


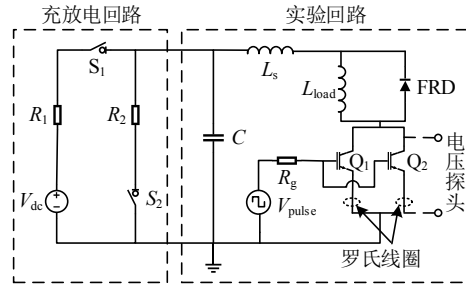
图9 双脉冲实验波形

Fig. 9 Waveform of double pulse experiment

由于通常只使用双脉冲的第1个脉冲过程来研究关断过程,所以本文只截取了第1个脉冲部分用于展示。图9中: $t_{d(off)}$ 为芯片的关断延迟; I_{cm} 为关断的电流等级,可以通过调节脉冲宽度来对其进行调整。本文通过随机组合的方式在25、50、90 A 3个电流等级下各完成相同组实验,相关实验装置和等效电路如图10所示^[1],相关实验平台的具体参



(a) 实验现场照片



(b) 实验电路原理图

图10 双脉冲实验电路

Fig. 10 Double pulse experimental circuit

数详见文献^[1],需要说明的是,实验中并联支路的压力均匀性已得到了验证^[17],因此可以保证实验中仅研究芯片参数对关断均流的影响。

3.2 并联双芯片的关断波形

1、2节展示的双芯片波形多为25 A等级下以及90 A等级下测得,这里选取50 A电流等级下芯片参数差异较大的一组波形,对应图10(b)中芯片Q1的编号为1—15,芯片Q2的编号为1—10(前数为Wafer组号,后数为芯片编号)。图11为IGBT并联双芯片在50 A电流等级下的关断波形。由图11可知,并联IGBT双芯片在50 A下的关断波形与1、2节所述相同。

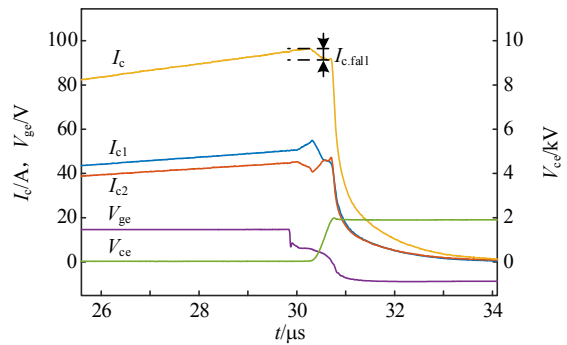


图11 双芯片50 A下的关断波形图

Fig. 11 Turn-off waveform of Dual chips at 50 A

首先,本文验证波形中 I_c 缓慢下降的落差值(图10中记为 $I_{c.fall}$)与芯片参数无关,也即验证此过程 I_c 主要受杂散参数影响,图12为两个Wafer组所有波形中 $I_{c.fall}$ 的散点图。由图12可知,在Wafer1和Wafer2的实验波形中, $I_{c.fall}$ 均在5 A上下浮动。因此,此阶段总电流 I_c 的变化可认为与芯片参数无关。

同时,在总电流下降阶段,各芯片电流几乎同步下降,不存在均流问题。于是,下文重点对2节中两类电流竞争峰谷的结论进行实验验证。

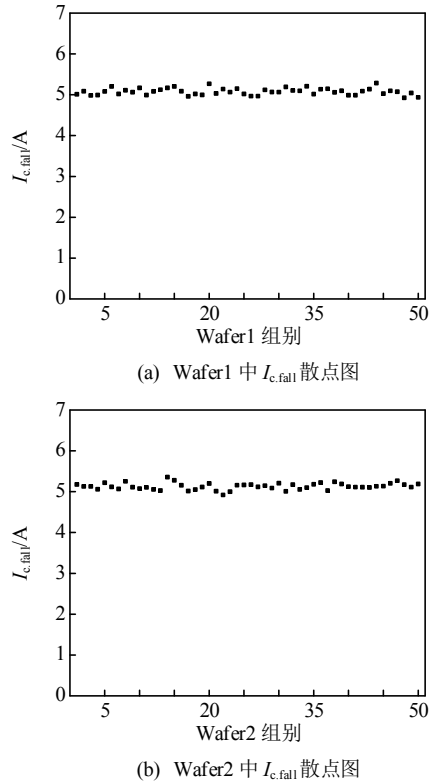


图 12 $\Delta I_{c,fall}$ 散点图

Fig. 12 Scatter plot of $\Delta I_{c,fall}$

3.3 关于第 1 类电流竞争峰谷结论的实验验证

此部分,本文选择 50 A 电流等级下的波形作为样本,验证第 1 类电流竞争峰谷的最大差额 δ 与芯片参数的线性关系,先采用关断延迟差 $\Delta t_{d(off)}$ 对第 1 类电流竞争峰谷的差额 δ 进行拟合,其中为了显示实验样本选取的公平性, δ 未取绝对值,由此得到的散点图如图 13 所示。由图可知,关断延迟差与第 1 类电流竞争峰谷差额 δ 的线性拟合效果并不理想。究其原因,第 1 类电流竞争峰谷出现的根本原因是阈值电压不同导致双芯片先后关断,而关断延迟参数在并联时易受驱动影响。

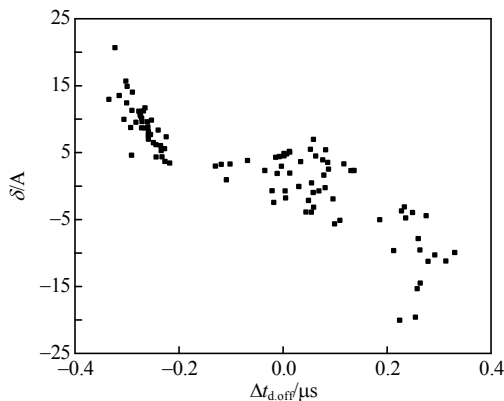


图 13 $\delta-\Delta t_{d(off)}$ 的散点图

Fig. 13 Scatter plot of δ with $\Delta t_{d(off)}$

δ 还可用本文提出的阈值电压差 ΔV_{th} 拟合,其散点图如图 14 所示。

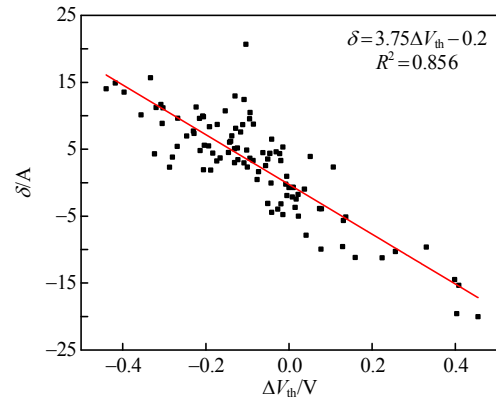


图 14 $\delta-\Delta V_{th}$ 的散点图

Fig. 14 Scatter plot of δ with ΔV_{th}

图 14 表明了本文方法的有效性以及优越性:拟合优度 R^2 为 85.6%,且拟合直线大致经过原点。误差主要来源于每个芯片在负载电流等级下跨导的差别,这里横纵坐标的选取主要是方便与图 13 作对比。同时, δ 的绝对值在 5 A 以内的组别有 51 个,即 $N=2$ 时, $P(A)$ 实际值为 51%,在小样本下与 2 节中理论值 52.2% 的误差在允许范围内。

3.4 关于第 2 类电流竞争峰谷结论的实验验证

本文选择 90 A 电流等级下的波形作为样本,首先验证 2 节中所提的截止时刻 t_r 的特殊性,即是否在 V_{ge} 达到 0, V_{ce} 初次达到母线电压 V_{dc} 后双芯片的电流开始一直下降。图 15 给出了所有波形中 t_r 时刻对应的 V_{ge} 与 V_{ce} 的散点图。由图可知, t_r 时刻 V_{ce} 的平均值为 0.15 V, V_{ge} 的平均值为 1.921 V,因此可以证明第二类电流竞争峰谷发生在总 I_c 的电流下降阶段之前,也即此时的电流沟道还未完全关闭。

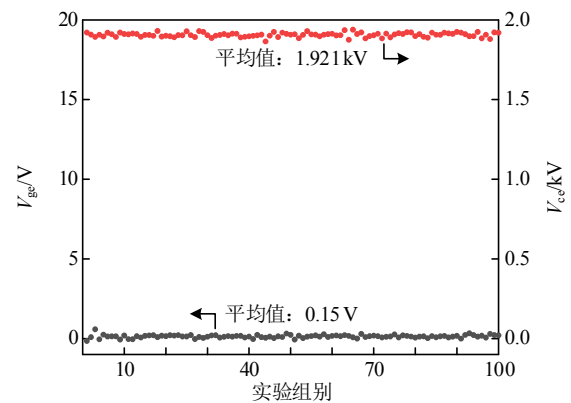


图 15 t_r 时刻 V_{ge} 与 V_{ce} 的散点图

Fig. 15 Scatter plot of V_{ge} and V_{ce} at t_r

在所有电流等级的实验波形中, 共计发生了 53 次第 2 类电流竞争峰谷现象, 包含 10 个 50 A 等级下第 2 类电流竞争峰谷和 43 个 90 A 等级下第 2 类电流竞争峰谷, 计数图如图 16 所示。由图可知, 针对同样的实验芯片, 如果在某一电流等级下关断会出现第 2 类电流竞争峰谷, 则更高电流等级下关断必定也会出现第 2 类电流竞争峰谷。因此, 要想不发生第 2 类电流竞争峰谷, 则在多芯片并联应用中, 应尽量避免在大电流等级下关断。

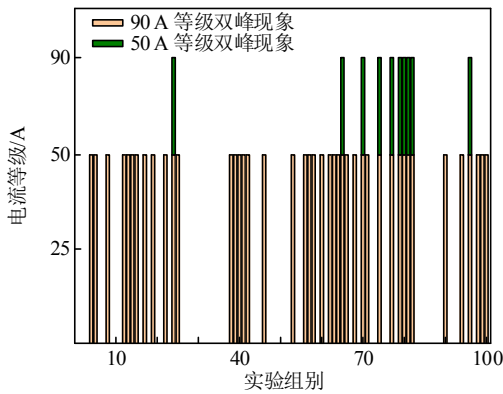


图 16 第 2 类电流竞争峰谷现象的计数图
Fig. 16 Count figure of the second class of current competition

此时, 选取一组相同 Wafer 下的实验芯片研究第 2 类电流竞争峰谷发生的芯片参数条件, 将芯片 1 固定为 2-11, 变化芯片 2, 相关芯片参数已在表 3 中列出。由表可知, 在相同电流等级下, 两芯片的阈值电压相差越大, 并联后越容易出现第 2 类电流竞争峰谷。

表 3 双芯片第 2 类电流竞争峰谷发生条件

Table 3 Occurrence conditions of the second class of current competition of dual chips

| 名称 | V_{th}/V | 是否发生双峰 | 名称 | V_{th}/V | 是否发生双峰 |
|------|------------|--------|------|------------|--------|
| 2-11 | 6.813 | — | 2-21 | 6.684 | 是 |
| 2-13 | 6.557 | 是 | 2-22 | 6.736 | 是 |
| 2-15 | 6.856 | 否 | 2-23 | 6.589 | 是 |
| 2-20 | 6.772 | 否 | — | — | — |

在 2 节的分析中, 第 2 类电流竞争峰谷的同向/反向与阈值电压差($V_{th1} - V_{th2}$)和跨导差($g_{fs1} - g_{fs2}$)的符号相关。本文定义判别式 W 验证此规律, 即:

$$W = \text{sgn}(V_{th1} - V_{th2})\text{sgn}(g_{fs1} - g_{fs2}) = \begin{cases} 1, & \text{同向} \\ -1, & \text{反向} \end{cases} \quad (9)$$

在所有 53 组第 2 类电流竞争峰谷现象波形中, 满足式(9)的组别有 50 组, 正确率高达 94.3%。

关于同向/反向第 2 类电流竞争峰谷是否带来了相对大小的固定性, 在所有 53 组第 2 类电流竞争峰谷现象波形中, 同向对应第 2 类电流竞争峰谷峰值更大的组别有 46 组, 正确率为 86.8%。误差原因主要为部分组别中双芯片跨导参数的差别很小, 测量误差极易导致对实际符号的误判。

3.5 芯片参数的均流筛选建议

3.2—3.4 节完成了对 1、2 节中相关结论的实验验证, 本节将对关断过程中两类电流竞争峰谷的均流提出相应芯片参数的筛选建议。

结合式(4), IGBT 并联双芯片在第 1 类电流竞争峰谷中的最大差值 ΔI_m 满足:

$$\Delta I_m = a g_{\max} (V_{th1} - V_{th2}) + \Delta I_L \quad (10)$$

式中: 加号左端为差额 δ ; g_{\max} 为阈值电压较大的芯片在负载电流等级下的跨导; 右端为稳态负载差 $\Delta I_L = I_{L1} - I_{L2}$, $I_{L1} - I_{L2}$ 满足^[1]:

$$I_{L1} - I_{L2} = \frac{V_{ce.sat2} - V_{ce.sat1}}{V_{ce.sat1} + V_{ce.sat2}} I_L \quad (11)$$

在定性描述层面, 要想使 ΔI_m 尽可能小, 须保持 $(V_{ce.sat1} - V_{ce.sat2})$ 与 $(V_{th1} - V_{th2})$ 同号。图 8 给出的反向第 1 类电流竞争峰谷波形便是一组典型的实例, 其对应的双芯片相关芯片参数如表 4 所示。

表 4 双芯片的相关芯片参数

Table 4 Related chip parameters of dual chips

| 名称 | V_{th}/V | $V_{ce.sat}/V$ | g_{fs}/S |
|------|------------|----------------|------------|
| 2-6 | 6.798 | 2.158 | 19.585 |
| 2-10 | 6.788 | 2.076 | 20.398 |

将表 4 数据代入式(10)、(11)中, a 为 1.88, I_L 为 50 A, 计算可得 $\Delta I_m = -0.593$ A, 而波形中 $\Delta I_m = -0.34$ A。图 17 给出了所有 90 A 等级实验组下 ΔI_m 的波形值与计算值的相对误差 E_r 的散点图, 其中 E_r 满足:

$$E_r = \left| \frac{\Delta I_{m.cal} - \Delta I_{m.act}}{\Delta I_{m.act}} \right| \quad (12)$$

式中: $\Delta I_{m.act}$ 为 ΔI_m 的波形值; $\Delta I_{m.cal}$ 为 ΔI_m 的计算值。

由图 17 可知, 所有 90 A 等级实验组中的计算值与实际波形值的平均相对误差仅为 4.6%。因此, IGBT 芯片的饱和管压降参数与阈值电压可以互相补偿以降低第 1 类电流竞争峰谷的差额。

从 2 节分析可知, 要想使得第 2 类电流竞争峰谷的峰值不超过第 1 类电流竞争峰谷, 需维持 $(g_{fs1} -$

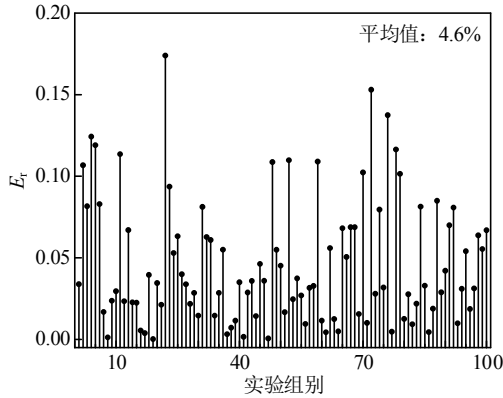


图 17 ΔI_m 相对误差的散点图

Fig. 17 Scatter plot of the relative error of ΔI_m

g_{fs2})与 $(V_{th1} - V_{th2})$ 异号, 在芯片转移曲线图上即表征为两芯片的转移曲线应尽量不出现交叉点。

同时, 在并联工况下不出现第 2 类电流竞争峰谷主要依靠两项均流措施: 1) 避免 IGBT 在大电流等级下关断, 由 3.4 节数据可知, 芯片在额定电流等级以内关断时出现第 2 类电流竞争峰谷的概率较低; 2) 尽量保证 IGBT 芯片之间的阈值电压极差, 由表 3 可知, 当阈值电压差足够小(小于 0.04 V)时几乎不会出现第 2 类电流竞争峰谷。

在 2 节的 N 芯片并联关断最大差额 δ 的理论推广中, δ 与并联数目 N 的关联不大, 下文挑选四芯片并联作简单验证, 相关芯片参数如表 5 所示。

表 5 四芯片的相关芯片参数

Table 5 Related chip parameters of four chips

| 编号 | V_{th}/V | g_{fs}/S | 编号 | V_{th}/V | g_{fs}/S |
|----|------------|------------|----|------------|------------|
| 1 | 6.740 | 20.55 | 3 | 6.823 | 20.03 |
| 2 | 6.745 | 21.19 | 4 | 6.830 | 20.52 |

四芯片的外部电路设置同双芯片, 不同的只是四芯片子单元采用高精度伺服压力机压接^[18], 实验装置图如图 18 所示。相同实验条件下的四芯片并联关断波形如图 19 所示。

由图 19 可知, 四芯片的并联关断波形中第一类电流竞争峰谷的最大差额 $|\delta|$ 为 2.6 A, 代入相关

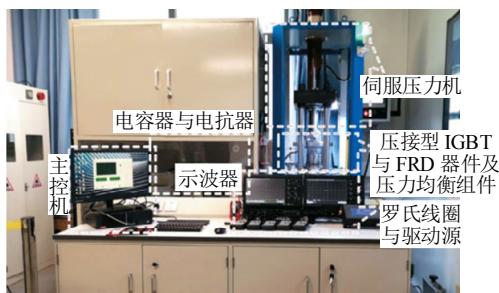


图 18 实验装置图

Fig. 18 Diagram of experimental setup

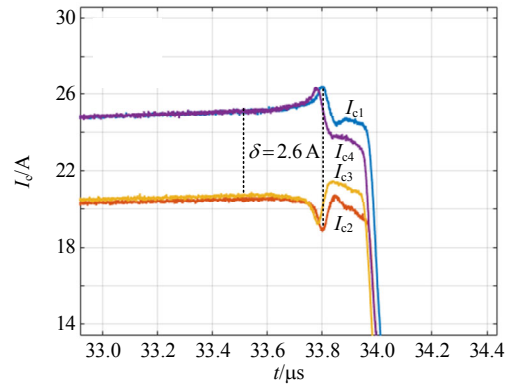


图 19 并联四芯片的关断波形

Fig. 19 Turn-off waveform of parallel quad chips

芯片参数于式(6)中后, 计算值为 2.83 A。若把编号 1、4 的两芯片并联, 则其并联关断的波形如图 20 所示。由图可知, $|\delta|$ 的波形值为 3.3 A, 计算值为 3.47 A, 四芯片中的 $|\delta|$ 并没有随着 N 的增大而成倍增长, 符合 2 节中的多芯片推广分析。

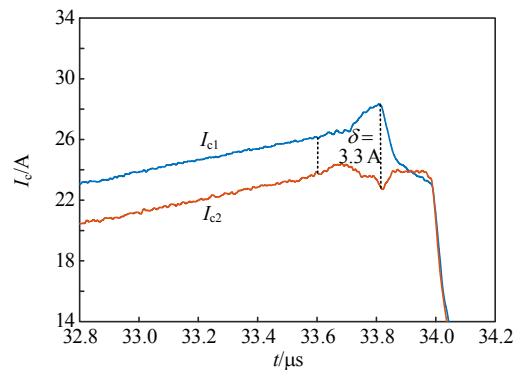


图 20 并联两芯片的关断波形

Fig. 20 Turn-off waveform of parallel dual chips

4 结论

本文分析了压接型 IGBT 芯片关断各阶段集电极电流变化的关键特征, 在已有的芯片参数统计特性的基础上, 定义了多芯片并联关断过程中两类电流竞争峰谷并推导了芯片参数对其的影响规律, 通过两颗 IGBT 芯片的并联双脉冲实验验证了相关规律的有效性, 在此基础上提出了并联关断均流的芯片参数筛选建议, 主要获得以下结论:

1) 压接型 IGBT 芯片的集电极电流 I_c 在关断过程中主要在电流下降阶段和电压上升阶段发生变化, 且变化波形均可以用初等函数曲线拟合。

2) 并联多芯片关断电流的第 1 类电流竞争峰谷差额主要受阈值电压的分散性影响, 随并联数目的变化不大; 第 2 类电流竞争峰谷的出现主要受关断电流等级以及阈值电压的极差影响, 其相对第 1

类电流竞争峰谷的大小关系主要受阈值电压差和跨导差的符号决定。

3) 在第1类电流竞争峰谷中可以通过饱和管压降与阈值电压的补偿来降低第1类电流竞争峰谷的差额, 在第2类电流竞争峰谷中可以在控制阈值电压极差和电流等级的前提下保持阈值电压差与跨导差异号以规避同向第2类电流竞争峰谷带来的均流风险。

参考文献

- [1] 曹子楷, 崔翔, 李学宝, 等. 压接型 IGBT 芯片的参数分散性对其并联时开通均流的影响[J]. 中国电机工程学报, 2023, 43(20): 8025-8038.
CAO Zikai, CUI Xiang, LI Xuebao, et al. Influence of parameter dispersion of parallel press-pack IGBT chips on its current sharing during turn-on process[J]. Proceedings of the CSEE, 2023, 43(20): 8025-8038(in Chinese).
- [2] FAN Jiayu, WANG Yaohua, HE Feng, et al. Comparisons of two turn-off failures under clamped inductive load in Planar FS 3.3 kV/50 a IGBT chip[J]. IEEE Transactions on Power Electronics, 2022, 37(12): 14471-14481.
- [3] AZAR R, UDREA F, NG W T, et al. The current sharing optimization of paralleled IGBTs in a power module tile using a PSpice frequency dependent impedance model [J]. IEEE Transactions on Power Electronics, 2008, 23(1): 206-217.
- [4] PALMER P R, JOYCE J C. Current redistribution in multi-chip IGBT modules under various gate drive conditions[C]//1998 Seventh International Conference on Power Electronics and Variable Speed Drives (IEE Conf. Publ. No. 456). London, UK: IET, 1998: 246-251.
- [5] PENG Cheng, LI Xuebao, FAN Jiayu, et al. Experimental investigations on current sharing characteristics of parallel chips inside press-pack IGBT devices[J]. IEEE Transactions on Power Electronics, 2022, 37(9): 10672-10680.
- [6] WU Yuhan, GAO Guangang, LIU Yixin, et al. A voltage differential and pulse synchronous driving control of paralleled IGBTs for current balance improving[C]//2021 IEEE 16th Conference on Industrial Electronics and Applications (ICIEA). Chengdu, China: IEEE, 2021: 837-842.
- [7] BÖHMNER J, SCHUMANN J, FLEISCH K, et al. Current mismatch during switching due to the self-turn-off effect in paralleled IGBT[C]//2013 15th European Conference on Power Electronics and Applications (EPE). Lille, France: IEEE, 2013: 1-9.
- [8] CHEN Nan, CHIMENTO F, NAWAZ M, et al. Dynamic characterization of parallel-connected high-power IGBT modules[J]. IEEE Transactions on Industry Applications, 2015, 51(1): 539-546.
- [9] XUE Peng, FU Guicui, ZHANG Dong. Modeling inductive switching characteristics of high-speed buffer layer IGBT[J]. IEEE Transactions on Power Electronics, 2017, 32(4): 3075-3087.
- [10] TANG Yunyu, MA Hao. Dynamic electrothermal model of paralleled IGBT modules with unbalanced stray parameters[J]. IEEE Transactions on Power Electronics, 2017, 32(2): 1385-1399.
- [11] 闫音蓓, 赵志斌, 杨艺烜, 等. IGBT 芯片参数对瞬态均流特性的影响[J]. 半导体技术, 2021, 46(2): 144-151.
YAN Yinbei, ZHAO Zhibin, YANG Yixuan, et al. Influence of IGBT chip parameters on transient current sharing characteristics[J]. Semiconductor Technology, 2021, 46(2): 144-151(in Chinese).
- [12] BORGHESE A, RICCIO M, FAYYAZ A, et al. Statistical analysis of the electrothermal imbalances of mismatched parallel SiC power MOSFETs[J]. IEEE Journal of Emerging and Selected Topics in Power Electronics, 2019, 7(3): 1527-1538.
- [13] ZENG Xiao, LI Zehong, WAN Jiali, et al. Embedded hardware artificial neural network control for global and real-time imbalance current suppression of parallel connected IGBTs[J]. IEEE Transactions on Industrial Electronics, 2020, 67(3): 2186-2196.
- [14] 施博辰, 赵争鸣, 蒋焯, 等. 功率开关器件多时间尺度瞬态模型(I): 开关特性与瞬态建模[J]. 电工技术学报, 2017, 32(12): 16-24.
SHI Bochen, ZHAO Zhengming, JIANG Ye, et al. Multi-time scale transient models for power semiconductor devices (Part I): switching characteristics and transient modeling[J]. Transactions of China Electrotechnical Society, 2017, 32(12): 16-24(in Chinese).
- [15] SCHRADER R, MUENSTER P, ECKEL H G. Dynamic current sharing and gate feedback during turn-off of paralleled IGBTs[C]//PCIM Europe 2018; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management. Nuremberg, Germany: VDE, 2018: 1-7.

- [16] 彭英舟, 周维维, 孙鹏菊, 等. 基于开通米勒平台电压的 IGBT 模块结温估计研究[J]. 中国电机工程学报, 2017, 37(11): 3254-3262.
PENG Yingzhou, ZHOU Luowei, SUN Pengju, et al. Study of IGBT junction temperature estimation based on turn-on miller platform voltage[J]. Proceedings of the CSEE, 2017, 37(11): 3254-3262(in Chinese).
- [17] 彭程, 李学宝, 张冠柔, 等. 压接型 IGBT 芯片动态特性实验平台设计与实现[J]. 电工技术学报, 2021, 36(12): 2471-2481.
PENG Cheng, LI Xuebao, ZHANG Guanrou, et al. Design and implementation of an experimental platform for dynamic characteristics of press-pack IGBT chip [J]. Transactions of China Electrotechnical Society, 2021, 36(12): 2471-2481(in Chinese).
- [18] 张冠柔, 傅实, 彭程, 等. 压接型 IGBT 内部栅极电压一致性影响因素及调控方法[J]. 半导体技术, 2021, 46(5): 393-401.
ZHANG Guanrou, FU Shi, PENG Cheng, et al. Influence factors and control method of gate voltage uniformity in press-packed IGBTs[J]. Semiconductor Technology, 2021, 46(5): 393-401(in Chinese).



曹子楷

在线出版日期: 2023-02-10。

收稿日期: 2022-11-17。

作者简介:

曹子楷(1998), 男, 硕士研究生, 研究方向为压接型 IGBT 芯片的参数筛选, 2020czk@ncepu.edu.cn;

崔翔(1960), 男, 教授, 博士生导师, 研究方向为电磁场理论及其应用、先进输电技术、电力系统电磁环境与电磁兼容、高电压大功率半导体器件测试、建模与封装技术, x.cui@ncepu.edu.cn;

代安琪(1997), 女, 工学硕士, 研究方向为高压电力电子器件的封装测试;

*通信作者: 李学宝(1988), 男, 工学博士, 副教授, 研究方向为电磁场理论及其应用、电磁环境与电磁兼容、高压半导体器件封装技术, lxb08357@ncepu.edu.cn;

范迦羽(1996), 男, 博士研究生, 研究方向为高压电力电子器件的均流;

詹雍凡(1998), 男, 硕士研究生, 研究方向为高压电力电子器件的驱动;

唐新灵(1988), 男, 工学博士, 研究方向为柔性直流输电大功率半导体。

(责任编辑 吕鲜艳)