

# SiC MOSFET 栅源电压评估及 驱动回路参数优化设计方法

秦海鸿, 谢斯璇\*, 卜飞飞, 陈文明, 黄文新

(南京航空航天大学, 江苏省 南京市 211106)

## Gate-source Voltage Evaluation and Parameter Optimized Designed Method of Driving Circuit for SiC MOSFET

QIN Haihong, XIE Sixuan\*, BU Feifei, CHEN Wenming, HUANG Wenxin

(Nanjing University of Aeronautics and Astronautics, Nanjing 211106, Jiangsu Province, China)

**ABSTRACT:** In order to reduce the switching time and on-resistance of silicon carbide (SiC) based metal-oxide-semiconductor field-effect transistor (MOSFET) to improve the efficiency, it is generally recommended to use lower driving resistance and higher driving voltage. However, due to the parasitic parameters in the driving circuit, excessive switching speed is easy to cause oscillation, which affects the reliability of the gate and limits the efficiency and security of SiC MOSFET. In this paper, the single transistor driving circuit of SiC MOSFET has been taken as the research object, the transient process of turn-on of SiC MOSFET has been analyzed, and the mathematical model considering the main parasitic parameters of the circuit has been established. The influence of driving circuit parameters, main circuit parasitic parameters and operating conditions on gate source voltage has been analyzed quantitatively. The differences and influencing factors of gate source voltage, test point voltage and driving voltage have been analyzed. Finally, combined with the electrical stress and comprehensive loss of SiC MOSFET, an optimized design method of driving circuit parameters has been proposed. Experimental results validate the correctness of the mathematical model and the theoretical analysis.

**KEY WORDS:** silicon carbide (SiC) based metal-oxide-semiconductor field-effect transistor (MOSFET); parasitic parameters; gate voltage; driving parameter design

**摘要:** 为减少碳化硅(silicon carbide, SiC)金属氧化物半导体场效应管(metal-oxide-semiconductor field-effect transistor,

MOSFET)的开关时间和导通电阻以提高效率, 通常建议驱动电路采用更低的驱动电阻及更高的驱动电压。但是, 由于实际驱动电路中存在寄生参数, 过快的开关速度容易产生振荡影响栅极的可靠性, 限制 SiC MOSFET 长期高效安全运行。文中以 SiC MOSFET 驱动电路为研究对象, 分析 SiC MOSFET 开通瞬态过程, 建立考虑电路主要寄生参数的数学模型; 定量分析驱动电路参数、主电路寄生参数及工况等影响因素对栅源电压的影响规律; 揭示栅源电压、实验测试点电压与驱动电压的区别及影响因素; 综合考虑器件应力与损耗, 提出一种驱动电路参数优化设计方法。实验结果验证了数学模型与分析的正确性。

**关键词:** 碳化硅金属氧化物半导体场效应管; 寄生参数; 栅源电压; 驱动参数设计

## 0 引言

在“碳达峰、碳中和”的战略背景下, 提升变换器效率以推动低碳转型至关重要<sup>[1]</sup>。作为典型的宽禁带半导体器件, 碳化硅(silicon carbide, SiC)金属氧化物半导体场效应管(metal-oxide-semiconductor field-effect transistor, MOSFET)与硅(silicon, Si) MOSFET 相比, 具有更低的导通电阻、更高的开关速度及耐高温等优点<sup>[2-3]</sup>, 推动变换器向高效率、高功率密度方向发展, 在电动汽车、光伏发电、无线电能传输等领域具有广阔的应用前景<sup>[4-6]</sup>。同时, SiC MOSFET 过高的开关速度使其对电路中的寄生参数非常敏感<sup>[7-8]</sup>, 电压电流容易产生过冲和振荡<sup>[9-10]</sup>, 增加器件应力, 导致器件加速老化甚至失效。为保证 SiC MOSFET 器件应用安全, 首先要形成高效可靠的驱动电路。

目前对于 SiC MOSFET 驱动电路参数的设计,

基金项目: 南京电子器件研究所宽禁带半导体电力电子器件国家重点实验室开放基金(2019KF001); 国家自然科学基金项目(51677089)。

Project Supported by State Key Laboratory of Wide-Bandgap Semiconductor Power Electronic Devices (2019KF001); National Natural Science Foundation of China (51677089).

研究人员注意到了 SiC MOSFET 的特点,从驱动电压设置、驱动芯片电流能力、上升/下降时间、PCB 布局等方面进行了特别考虑。SiC 器件公司在技术手册中给出推荐的驱动电压,但这些推荐值只是基于近似分析,并没有协同实际驱动电路的其他驱动参数统筹考虑。文献[11]研究了 SiC MOSFET 的驱动电阻、寄生电容对最大开通速度的影响;但并未给出其他开关特性分析以及驱动电阻选择指导方法。文献[12]分析了不同驱动电压、驱动电阻与栅源电容对 SiC MOSFET 开关行为的调控规律,抑制振荡与过冲,但是同时会增大器件响应速度。文献[13]通过综合考虑开关损耗与温升来选取合适的驱动电阻。文献[14]对驱动电路进行 RLC 响应分析,考虑电容非线性特征,给出电感设计指导。文献[15]从损耗增量和阻尼效应两方面研究驱动电压与驱动电阻对抑制栅极振荡的效果。这些方法主要是把驱动电路等效为 RLC 二阶电路,通过合理选择阻尼,来获得栅极可靠性和损耗之间的平衡。

但是,这些方法实际上是不加主电情况下的考虑,这在 Si MOSFET 或 Si IGBT 驱动电路设计时尚可接受;但对于 SiC MOSFET,由于其  $dv/dt$ 、 $di/dt$  较大,与电路寄生参数作用会产生明显的电压和电流振荡,对栅源电压产生较大影响,增大栅极电压应力,使得主电路工作时的栅压与不加主电时的栅压相差很大<sup>[16]</sup>。因此不能仅用不加主电时通过 RLC 回路阻尼预测方法来判断栅极电压。由于 SiC 器件的动态特性与电路杂散参数密切相关,文献[17]提出了一种提取任意功率回路杂散电感、电容的方法。文献[18]分析了  $dv/dt$ 、 $di/dt$  反馈引起的栅极振荡,提出增大驱动电阻与额外并联栅源电容来抑制振荡,但没有给出驱动电阻的选择标准。文献[19]依据数据手册参数与外部电路寄生效应提出开关动态特性分析模型,但是没有针对栅源电压动态特性进行分析。同时,由于振荡尖峰的存在,使得器件开关损耗也会增加,因此损耗计算也需考虑到振荡损耗影响使其更加准确<sup>[20]</sup>。

为此,本文首先考虑主电路影响,即主电路快速变化的电压和电流通过 MOSFET 结电容和共源极电感耦合到驱动回路中产生的影响,进行解析分析。因为栅源电压在器件内部无法直接探测,本文基于原理分析,通过对比探测点电压的仿真分析和实验结果,验证理论分析和仿真模型的正确性,从而在进一步分析研究栅源电压的影响因素时采用

仿真研究方法,以仿真为主要研究手段,研究驱动电路参数、主电路参数及电路工况对栅源电压影响,探讨栅源电压影响因素及其规律;结合可靠性和综合损耗最优作为指导原则,提出驱动电路参数优化设计方法,并进行相关实验验证。

## 1 SiC MOSFET 开通瞬态栅源电压建模

为了对 SiC MOSFET 开通瞬态栅源电压建立数学模型,本文以双脉冲测试电路为例,考虑电路中主要寄生参数,针对 SiC MOSFET 开通瞬态进行分段建模。

### 1.1 开通瞬态过程分析

考虑电路中主要寄生参数的 SiC MOSFET 双脉冲测试电路如图 1 所示。图中:  $V_{DC}$  为直流母线等效的理想电压源;  $I_L$  为负载电感等效的理想电流源,  $C_L$  为负载电感寄生电容;  $D_H$  为理想 SiC SBD,  $C_J$  为 SiC SBD 等效结电容;  $C_{GS}$ 、 $C_{GD}$ 、 $C_{DS}$  分别为 SiC MOSFET 的栅源电容、栅漏电容、以及漏源电容;  $L_{D(int)}$ 、 $L_{S(int)}$  分别为 SiC MOSFET 封装引入的漏极、源极寄生电感;  $R_{G(int)}$  为 SiC MOSFET 的栅极内阻,  $R_{G(ext)}$  为外接驱动电阻;  $L_G$  为栅极回路的寄生电感;  $L_{D(ext)}$  和  $R_{loop}$  分别为直流母线正接线端与 SiC MOSFET 漏极间线路的等效寄生电感与杂散电阻;  $L_{S(ext)}$  为 SiC MOSFET 源极与地之间线路的寄生电感。

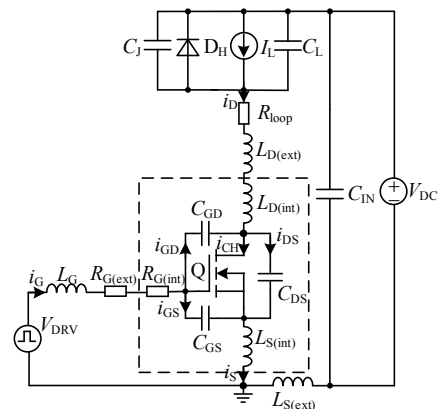


图 1 考虑寄生参数的 SiC MOSFET 双脉冲测试电路

Fig. 1 Double pulse circuit considering parasitic parameters for SiC MOSFET

考虑寄生参数时 SiC MOSFET 的开通波形如图 2 所示,图中从上到下依次为:栅源电压  $v_{GS}$ 、漏极电流  $i_D$ 、漏源电压  $v_{DS}$ 。其开通过程根据电流电压变化可分为 5 个阶段。

1) 阶段 1:  $[t_0-t_1]$ 。

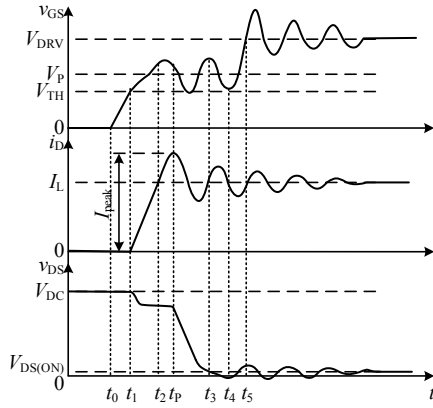


图 2 考虑寄生参数的 SiC MOSFET 开通波形

Fig. 2 Turn on waveform of SiC MOSFET considering parasitic parameters

$t_0$ 时刻, SiC MOSFET 的输入电容  $C_{ISS}$  开始充电, 栅源电压  $v_{GS}$  开始上升, MOSFET 处于截止区, 漏极电流  $i_D$  与漏源电压  $v_{DS}$  均不发生变化。该阶段栅源电压可以表示为

$$v_{GS} = \frac{1}{L_{GS}C_{ISS}s^2 + R_G C_{ISS}s + 1} \cdot \frac{V_{DRV}}{s} \quad (1)$$

式中: 输入电容为  $C_{ISS} = C_{GS} + C_{GD}$ ; 栅源电感为  $L_{GS} = L_G + L_{S(int)}$ ; 驱动电阻为  $R_G = R_{G(int)} + R_{G(ext)}$ ; 驱动正压为  $V_{DRV}$ , 在驱动电路的零状态响应中等效为阶跃激励。

该阶段栅极电流可以表示为

$$i_G = \frac{V_{DRV}C_{ISS}}{L_{GS}C_{ISS}s^2 + R_G C_{ISS}s + 1} \quad (2)$$

该阶段二阶电路的衰减常数  $\delta_{(1)}$ 和固有振荡角频率  $\omega_{0(1)}$ 分别为:

$$\delta_{(1)} = \frac{R_G}{2L_{GS}} \quad (3)$$

$$\omega_{0(1)} = \sqrt{\frac{1}{L_{GS}C_{GS}}} \quad (4)$$

由式(1)—(4)可知, 该阶段影响栅源电压  $v_{GS}$  的因素主要是驱动电路参数。

2) 阶段 2:  $[t_1—t_2]$ 。

$t_1$ 时刻, 栅源电压达到阈值电压, 沟道开始导通, MOSFET 进入饱和区, 漏极电流  $i_D$  由 0 开始逐渐上升。由于  $dv_{DS}/dt$  较小, SiC MOSFET 的寄生电容上流过的电流较小, 可近似认为沟道电流  $i_{CH}$  近似为漏极电流。该阶段内满足的方程为

$$i_D(t) + g_{fs}\Delta v_{GS}(t) = g_{fs}(V_{DRV} - V_{TH}) \quad (5)$$

其中:

$$\Delta v_{GS}(t) = R_G \Delta i_G(t) + L_{GS} \frac{d\Delta i_G(t)}{dt} + L_{S(int)} \frac{di_D(t)}{dt} \quad (6)$$

$$\Delta i_G(t) = C_{GD} \frac{dv_{GD}(t)}{dt} + C_{GS} \frac{dv_{GS}(t)}{dt} \quad (7)$$

$$v_{GS}(t) = \frac{i_D(t)}{g_{fs}} + V_{TH} \quad (8)$$

$$v_{DS}(t) = V_{DC} - L_{stray} \frac{di_D(t)}{dt} - R_{loop} i_D(t) \quad (9)$$

将式(6)—(9)代入式(5)中, 整理得到该阶段的漏极电流  $i_D$  满足的方程为

$$i_D = \frac{\omega_{0(2)}^2 g_{fs} (V_{DRV} - V_{TH})}{s^2 + 2\delta_{(2)}s + \omega_{0(2)}^2} \quad (10)$$

该阶段电路的衰减常数  $\delta_{(2)}$ 和固有振荡角频率  $\omega_{0(2)}$ 分别为:

$$\delta_{(2)} = \frac{R_G(C_{GS} + C_{GD} + g_{fs}R_{loop}C_{GD}) + g_{fs}L_{S(int)}}{2g_{fs}R_G L_{stray}C_{GD}} \quad (11)$$

$$\omega_{0(2)} = \frac{1}{\sqrt{g_{fs}R_G L_{stray}C_{GD}}} \quad (12)$$

该阶段栅源电压随漏极电流增大, 从阈值电压上升至密勒电压。由式(10)—(12)可知, 影响栅源电压的因素包括 SiC MOSFET 寄生电容与转移特性、驱动电阻、主电路杂散参数和工况。

3) 阶段 3:  $[t_2—t_3]$ 。

$t_2$ 时刻, SiC MOSFET 的漏极电流  $i_D$  上升至负载电流  $I_L$ , SiC SBD 的电流下降为 0。此时主电路的寄生电容  $C_J$ 、 $C_L$  承受反向电压充电, 漏极电流  $i_D$  出现尖峰并引发高频振荡。该阶段处于密勒平台时期, 根据漏极电流与漏源电压变化可以细化为  $[t_2—t_p]$ 和  $[t_p—t_3]$ 这两个阶段。

①  $[t_2—t_p]$ 。

$t_2$ 时刻漏极电流  $i_D$  开始出现超调, 至  $t_p$ 时刻到达电流尖峰  $I_{peak}$ , 同时漏极电流变化率  $di_D/dt$  减小至 0。栅源电压  $v_{GS}$  在  $i_D$  作用下由密勒电压  $V_P$  开始上升, 在  $t_p$ 时刻产生密勒平台电压尖峰。

$$v_{GS}(t_p) = \frac{I_{peak}}{g_{fs}} + V_{TH} \quad (13)$$

漏极电流  $i_D$  满足的方程为

$$i_D = \frac{L_{stray} \frac{di_D(t)}{dt} \Big|_{t=t_2}}{L_{stray}(C_J + C_L)s^2 + R_{loop}(C_J + C_L)s + 1} \quad (14)$$

该阶段主电路的衰减常数  $\delta_{(3)}$ 和固有振荡角频

率  $\omega_{0(31)}$  分别为:

$$\delta_{(31)} = \frac{R_{\text{loop}}}{2L_{\text{stray}}} \quad (15)$$

$$\omega_{0(31)} = \frac{1}{\sqrt{L_{\text{stray}}(C_J + C_L)}} \quad (16)$$

由于杂散电阻  $R_{\text{loop}}$  非常小,  $\delta_{(31)}^2 < \omega_{0(31)}$ , 则主电路工作在欠阻尼状态下, 可以得到漏极电流  $i_D$  的通解形式为

$$i_D(t) = I_L + K_{(31)} e^{-\delta_{(31)}(t-t_2)} \sin(\omega_{(31)}(t-t_2)) \quad (17)$$

其中:

$$\omega_{(31)} = \sqrt{\omega_{0(31)}^2 - \delta_{(31)}^2} \quad (18)$$

$$K_{(31)} = \frac{\left. \frac{di_D(t)}{dt} \right|_{t=t_2}}{\omega_{(31)}} \quad (19)$$

由式(17)—(19)可知, 开通电流尖峰  $I_{\text{peak}}$  与主电路的杂散参数及寄生电容有关, 这些因素同时也会影响栅源电压  $v_{\text{GS}}$  在该阶段的电压尖峰。

②  $[t_p - t_3]$ 。

$t_p$  时刻, 漏极电流  $i_D$  开始下降, 同时漏源电压  $v_{\text{DS}}$  也下降。此时漏源电压变化率  $dv_{\text{DS}}/dt$  较大, SiC MOSFET 寄生电容上的位移电流不可忽略, 即沟道电流  $i_{\text{CH}}$  不再近似为漏极电流。该阶段内满足的方程为

$$i_{\text{CH}}(t) + g_{\text{fs}} \Delta v_{\text{GS}}(t) = g_{\text{fs}}(V_{\text{DRV}} - V_{\text{TH}}) \quad (20)$$

其中:

$$i_{\text{CH}} = i_D + i_{\text{GD}} - i_{\text{DS}} \quad (21)$$

$$v_{\text{GS}}(t) = \frac{i_{\text{CH}}(t)}{g_{\text{fs}}} + V_{\text{TH}} \quad (22)$$

$$v_{\text{DS}}(t) = V_{\text{DC}} - L_{\text{stray}} \frac{di_D(t)}{dt} - R_{\text{loop}} i_D(t) - v_{\text{SBD}} \quad (23)$$

$$i_{\text{CJ+CL}}(t) = (C_J + C_L) \frac{dv_{\text{SBD}}}{dt} = i_D(t) - I_L \quad (24)$$

$\Delta v_{\text{GS}}$  与  $\Delta i_{\text{G}}$  表达式同式(6)、(7), 将式(21)—(24)代入式(20)中, 整理得到该阶段的漏极电流  $i_D$  满足的方程为

$$i_D = \frac{\frac{g_{\text{fs}}(V_{\text{DRV}} - V_{\text{TH}})C_H + (C_{\text{OSS}} + g_{\text{fs}}R_{\text{G}}C_{\text{GD}})I_L}{C_H(C_{\text{OSS}} + g_{\text{fs}}R_{\text{G}}C_{\text{GD}})}}{L_{\text{stray}}s^2 + (R_{\text{loop}} + \frac{g_{\text{fs}}L_{\text{S(int)}}}{C_{\text{OSS}} + g_{\text{fs}}R_{\text{G}}C_{\text{GD}}})s + 1} \quad (25)$$

式中: 输出电容为  $C_{\text{OSS}} = C_{\text{GD}} + C_{\text{DS}}$ ; 等效寄生电容

为  $C_H = C_J + C_L$ 。

该阶段电路的衰减常数  $\delta_{(32)}$  和固有振荡角频率  $\omega_{0(32)}$  分别为:

$$\delta_{(32)} = \frac{R_{\text{loop}} + \frac{g_{\text{fs}}L_{\text{S(int)}}}{C_{\text{OSS}} + g_{\text{fs}}R_{\text{G}}C_{\text{GD}}}}{2L_{\text{stray}}} \quad (26)$$

$$\omega_{0(32)} = \sqrt{\frac{C_H + C_{\text{OSS}} + g_{\text{fs}}R_{\text{G}}C_{\text{GD}}}{L_{\text{stray}}C_H(C_{\text{OSS}} + g_{\text{fs}}R_{\text{G}}C_{\text{GD}})}} \quad (27)$$

由于杂散电阻  $R_{\text{loop}}$  非常小, 可得此时漏极电流  $i_D$  的通解形式为

$$i_D(t) = \frac{I_{\text{peak}} - (\sin \theta_{(32)} - 1)K_{(32)} e^{-\delta_{(32)}(t-t_p)}}{\sin \theta_{(32)}} \sin(\omega_{(32)}(t-t_p) + \theta_{(32)}) \quad (28)$$

其中:

$$K_{(32)} = \frac{\frac{g_{\text{fs}}(V_{\text{DRV}} - V_{\text{TH}})C_H + (C_{\text{OSS}} + g_{\text{fs}}R_{\text{G}}C_{\text{GD}})I_L}{C_H + C_{\text{OSS}} + g_{\text{fs}}R_{\text{G}}C_{\text{GD}}}}{\sin \theta_{(32)}} \quad (29)$$

$$\theta_{(32)} = \arccos\left(\frac{\omega_{0(32)}}{\delta_{(32)}}\right) \quad (30)$$

根据式(22), 此时栅源电压与漏极电流有关; 由式(28)可知, 漏极电流存在振荡分量, 且与 SiC MOSFET 寄生电容与转移特性、驱动电路参数、主电路杂散参数与寄生电容、工况等因素有关。

4) 阶段 4:  $[t_3 - t_4]$ 。

$t_3$  时刻, 漏源电压  $v_{\text{DS}}$  下降至导通电压, SiC MOSFET 进入线性放大区。此时漏极电流  $i_D$  满足的表达式为

$$i_D = \frac{I_L}{L_{\text{stray}}(C_J + C_L)s^2 + R_{\text{loop}}(C_J + C_L)s + 1} \quad (31)$$

该阶段电路的衰减常数  $\delta_{(4)}$  和固有振荡角频率  $\omega_{0(4)}$  与式(15)、(16)相同。可以得到漏极电流  $i_D$  的通解形式为

$$i_D(t) = I_L + e^{-\delta_{(4)}(t-t_3)} [K_{1(4)} \cos(\omega_{(4)}(t-t_3)) + K_{2(4)} \sin(\omega_{(4)}(t-t_3))] \quad (32)$$

其中:

$$K_{1(4)} = i_D(t_3) - I_L \quad (33)$$

$$K_{2(4)} = \frac{\left. \frac{di_D(t)}{dt} \right|_{t=t_3} + \delta_{(4)}K_{1(4)}}{\omega_{(4)}} \quad (34)$$

$t_3$  时刻栅源电压  $v_{\text{GS}}$  从密勒电压  $V_P$  开始继续上

升; 同时电流振铃在共源寄生电感  $L_{S(int)}$  上感应出电压振铃, 耦合至栅极回路, 成为一个激励源, 使得栅源电压  $v_{GS}$  叠加高频振荡。该过程满足的表达式为

$$\Delta v_{GS} = \frac{K_{3(4)}(s \sin \psi + \omega_{(4)} \cos \psi)}{[(s + \delta_{(1)})^2 + \omega_{(1)}^2][(s + \delta_{(4)})^2 + \omega_{(4)}^2]} \quad (35)$$

其中:

$$K_{3(4)} = \frac{\omega_{(4)} \sqrt{K_{1(4)}^2 + K_{2(4)}^2} L_{S(int)}}{L_{GS} C_{GS}} \quad (36)$$

$$\psi = \arctg\left(\frac{K_{1(4)}}{K_{2(4)}}\right) - \arctg\left(\frac{\omega_{(4)}}{\delta_{(4)}}\right) \quad (37)$$

求拉普拉斯反变换可得:

$$\Delta v_{GS} = 2 |K_{4(4)}| e^{-\delta_{(1)}(t-t_3)} \cos(\omega_{(1)}(t-t_3) + \alpha) + 2 |K_{5(4)}| e^{-\delta_{(4)}(t-t_3)} \cos(\omega_{(4)}(t-t_3) + \beta) \quad (38)$$

其中:

$$\Delta v_{GS} \cdot (s + \delta_{(1)} - j\omega_{(1)})|_{s=-\delta_{(1)}+j\omega_{(1)}} = |K_{4(4)}| e^{j\alpha} \quad (39)$$

$$\Delta v_{GS} \cdot (s + \delta_{(4)} - j\omega_{(4)})|_{s=-\delta_{(4)}+j\omega_{(4)}} = |K_{5(4)}| e^{j\beta} \quad (40)$$

则此时的栅源电压  $v_{GS}$  表达式为

$$v_{GS}(t) = V_{DRV} [1 + 2 |K_{6(4)}| e^{-\delta_{(1)}(t-t_3)} \cos(\omega_{(1)}(t-t_3) + \theta)] + \Delta v_{GS}(t) \quad (41)$$

其中:

$$\frac{V_{DRV}}{L_{GS} C_{GS}} \cdot (s + \delta_{(1)} - j\omega_{(1)}) |_{s=-\delta_{(1)}+j\omega_{(1)}} = |K_{6(4)}| e^{j\theta} \quad (42)$$

由式(41)、(42)可知, 栅源电压除驱动回路引起的二阶振荡外, 还会叠加来自主电路的高频振荡。影响栅源电压的因素包括驱动电路参数、主电路参数与工况条件。

5) 阶段 5:  $[t_4-t_5]$ 。

$t_4$  时刻, 栅源电压上升至  $V_{DRV}$ , 之后出现栅源电压尖峰与衰减振荡。该阶段栅源电压为

$$v_{GS}(t) = V_{DRV} [1 + 2 |K_{(5)}| e^{-\delta_{(1)}(t-t_4)} \cos(\omega_{(1)}(t-t_4) + \theta)] + \Delta v_{GS}(t) \quad (43)$$

式中  $K_{(5)} = K_{6(4)}$ , 其余参数定义与第 4 阶段相同。

## 1.2 仿真模型正确性验证

本节通过 LTspice 仿真与实验测试, 对比分析加主电前后栅源电压的变化趋势, 证明考虑主电路参数影响的必要性与仿真模型的正确性。仿真和实

验中的功率器件为 SCT3060AL<sup>[21]</sup>(SiC MOSFET, ROHM)和 SCS240AE2<sup>[22]</sup>(SiC SBD, ROHM)。

图 3 为加主电前后栅源电压波形对比图, 其中: 红色波形为仿真波形, 蓝色波形为实验波形。加主电前后栅源电压最大值的仿真结果分别为 18.78 与 20.7V, 实验结果分别为 18.7 与 20.8V。加主电后栅源振荡加剧, 栅源电压最大值明显增加, 说明主电路参数会明显地影响栅源电压, 这与前述理论分析一致。为减小主电路参数对栅源电压的影响、保证栅极可靠性, 首先要探究各参数对栅源电压的影响规律。

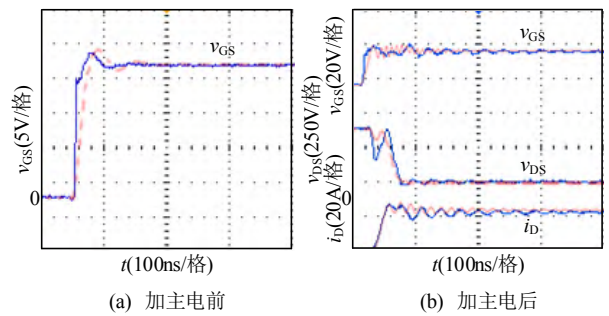


图 3 加主电前后栅源电压波形对比图

Fig. 3 Comparison of the gate-source voltage before and after considering main circuit parameters

同时, 图 3 所示的仿真结果与实验结果基本一致, 证明所建仿真模型的正确性。由于实验中的布局寄生参数受实际物理尺寸限制无法减小, 而仿真参数设置不受限, 便于探究寄生参数对栅源电压的影响规律, 因此下文将采用仿真手段对栅源电压的影响因素进行分析。

## 2 栅源电压影响因素仿真分析

根据数学模型可知, 栅源电压大小的影响因素包括驱动电路参数、主电路参数与工况条件。本文采用 LTspice 仿真, 将栅源电压的影响因素定为可调参数, 并根据实际情况设置其他参数大小(见表 1), 探究各影响因素对栅源电压的影响规律与影响程度。

表 1 SiC MOSFET 仿真电路参数值

Table 1 Simulation circuit parameters

参数	数值	参数	数值
驱动电压 $V_{DRV}/V$	18.6	杂散电感 $L_{stray}/nH$	80
驱动电阻 $R_G/\Omega$	12	等效结电容 $C_j/pF$	80
栅源电感 $L_{GS}/nH$	40	母线电压 $V_{DC}/V$	400
共源电感 $L_{S(int)}/nH$	10	负载电流 $I_L/A$	20
杂散电阻 $R_{loop}/\Omega$	1	—	—

## 2.1 驱动电路参数

### 2.1.1 驱动电阻

驱动电阻分别取为 12、14、16 $\Omega$  时的栅源电压波形如图 4 所示。由图可知, 随着驱动电阻  $R_G$  增加, 栅源电压振荡峰值从 25.18V 降低至 18.91V。驱动电阻  $R_G$  增大, 驱动电路阻尼比增大, 栅源电压振荡幅度减小; 同时漏极电流变化率  $di_D/dt$  减小, 主电路振荡幅度减小, 使耦合至栅源电压高频振荡幅度减小。

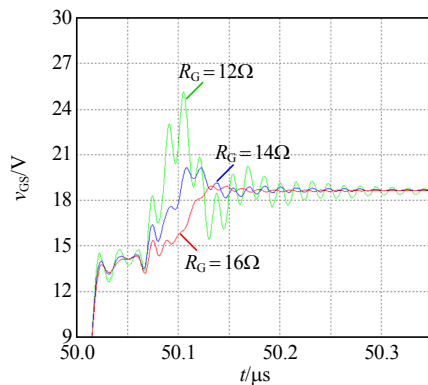


图 4 驱动电阻对栅源电压的影响

Fig. 4 The effect of gate driving resistance on  $v_{GS}$

### 2.1.2 栅源电感

栅源电感分别取为 20、30、40nH 时的栅源电压波形如图 5 所示。由图可知, 随着栅源电感  $L_{GS}$  增加, 栅源电压振荡峰值从 22.66V 增加至 25.18V。栅源电感  $L_{GS}$  增大, 驱动电路阻尼比减小, 栅源振荡幅度增大。

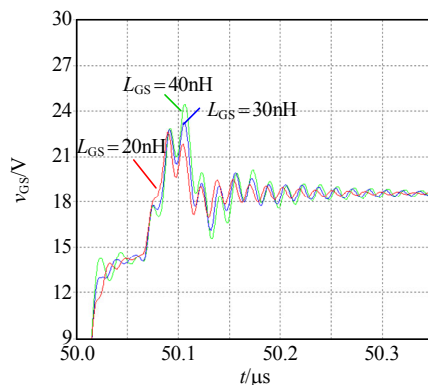


图 5 栅源电感对栅源电压的影响

Fig. 5 The effect of gate-source inductance on  $v_{GS}$

### 2.1.3 共源电感

共源电感分别取为 20、30、40nH 时的栅源电压波形如图 6 所示。由图可知, 随着共源电感  $L_{S(int)}$  增加, 栅源电压振荡峰值从 25.72V 降低至 24.32V。共源电感  $L_{S(int)}$  增大, 作为将高频振荡引入驱动回路

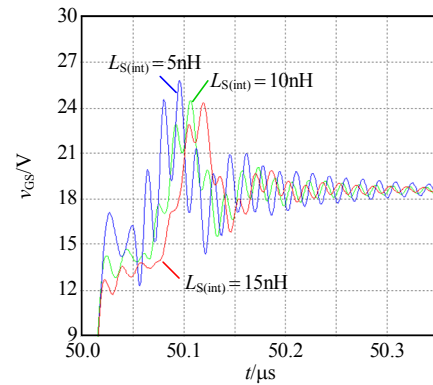


图 6 共源电感对栅源电压的影响

Fig. 6 The effect of common source inductance on  $v_{GS}$

的参数, 栅源电压振荡增大; 同时漏极电流变化率  $di_D/dt$  减小, 主电路振荡减小, 使得栅源电压振荡减小。由于  $L_{S(int)}$  增大对开关速度限制作用更强, 故栅源电压振荡减小。

## 2.2 主电路参数

### 2.2.1 杂散电阻

杂散电阻分别取为 0.01、0.1、1 $\Omega$  时的栅源电压波形如图 7 所示。由图可知, 随着杂散电阻  $R_{loop}$  增加, 栅源电压振荡峰值基本不变, 但拖尾振荡的幅度减小。杂散电阻  $R_{loop}$  增大, 主电路阻尼比增大, 同时漏极电流变化率  $di_D/dt$  减小, 主电路振荡减小, 使得栅源电压减小。

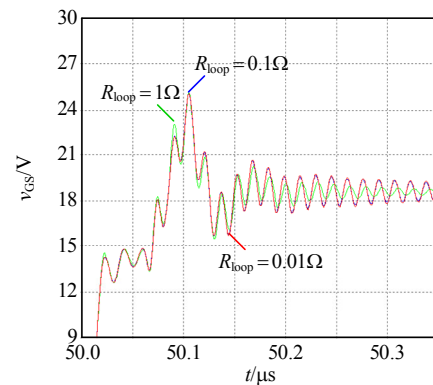


图 7 杂散电阻对栅源电压的影响

Fig. 7 The effect of stray resistance on  $v_{GS}$

### 2.2.2 杂散电感

杂散电感分别取为 80、140、200nH 时的栅源电压波形如图 8 所示。由图可知, 随着杂散电感  $L_{stray}$  增加, 栅源电压振荡峰值先增加后减小。杂散电感  $L_{stray}$  增大, 主电路阻尼比减小, 振荡幅度增大; 同时漏极电流变化率  $di_D/dt$  减小, 主电路振荡幅度减小。一般情况下  $L_{stray}$  不会超过 140nH, 可认为栅源振荡幅度随杂散电感增大而增大。



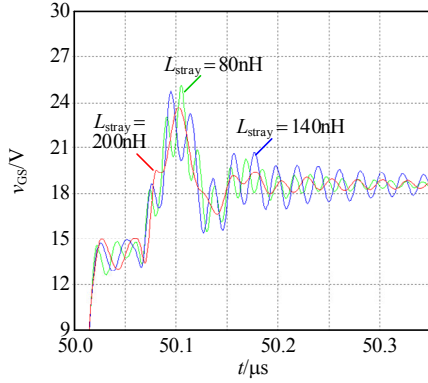


图 8 杂散电感对栅源电压的影响

Fig. 8 The effect of stray inductance on  $v_{GS}$

2.2.3 寄生电容

寄生电容分别取为 80、140、200pF 时的栅源电压波形如图 9 所示。由图可知,随着寄生电容  $C_j$  增加,栅源电压振荡峰值从 25.18V 增加至 28.02V。寄生电容  $C_j$  增大,主电路阻尼比增大,振荡幅度减小;同时开通峰值电流  $I_{peak}$  增大,振荡幅度增大。由于寄生电容  $C_j$  增大对  $I_{peak}$  作用更强,故栅源电压振荡幅度增大。

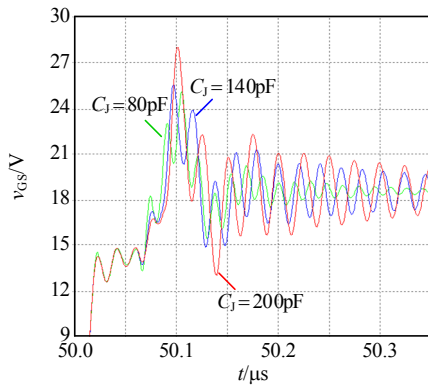


图 9 寄生电容对栅源电压的影响

Fig. 9 The effect of junction capacitance on  $v_{GS}$

2.3 工况条件

2.3.1 母线电压

母线电压分别设置为 200、300、400V 时的栅源电压波形如图 10 所示。由图可知,随着母线电压  $V_{DC}$  的增大,栅源电压振荡峰值从 23.14V 增加至 25.18V。根据式(44),母线电压  $V_{DC}$  增大,漏源电压变化率  $dv_{DS}/dt$  增大,最终使得栅源电压振荡幅度增大。

$$\frac{dv_{DS}}{dt} = (V_{DC} - L_{stray} \frac{di_D}{dt}) / (\frac{Q_{GD}R_G}{V_{DRV} - V_P}) \quad (44)$$

2.3.2 负载电流

负载电流分别设置为 5、10、20A 时的栅源电

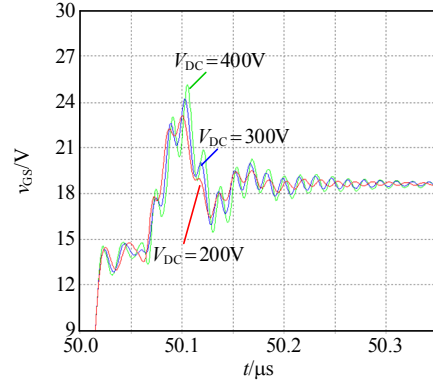


图 10 母线电压对栅源电压的影响

Fig. 10 The effect of bus voltage on  $v_{GS}$

压波形如图 11 所示。由图可知,随着负载电流  $I_L$  增加,栅源电压振荡峰值从 25.98A 降低至 25.18V。由于电路参数不变,由寄生电容充电引起的电流超调部分  $I_{RMM}$  基本不变,根据式(45),负载电流  $I_L$  增加时,漏极电流变化率  $di_D/dt$  减小,使得栅极电压振荡幅度减小。

$$\frac{di_D}{dt} = \frac{I_L + I_{RMM}}{R_G C_{ISS} \ln(\frac{V_{DRV} - V_{TH}}{V_{DRV} - V_P})} \quad (45)$$

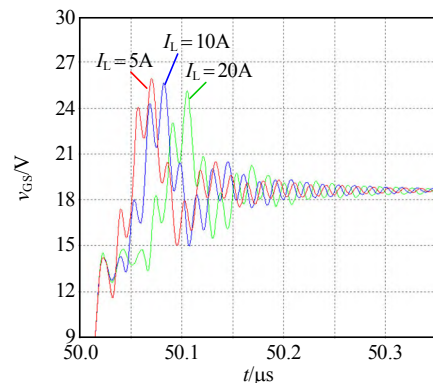


图 11 负载电流对栅源电压的影响

Fig. 11 The effect of load current on  $v_{GS}$

通过对栅源电压振荡的影响因素进行仿真分析可见:驱动电阻、共源电感、杂散电阻与负载电流越小,栅源电感、杂散电感、寄生电容与母线电压越大,栅源电压振荡越严重。若在不考虑主电的情况下设计驱动电路参数, SiC MOSFET 的栅源电压很可能超过安全电压,造成器件失效等问题,为此需要寻求驱动电路参数的优化设计方法。

3 驱动参数优化方法

3.1 主电路寄生参数设计

根据第 2 节的分析,寄生电容即 SiC SBD 的等效结电容  $C_j$  与负载电感的寄生电容  $C_L$  应尽可能

小, 故选用 ROHM 公司型号为 SCS240AE2 的 SiC SBD 与空心电感。同时, 为减小杂散损耗, 杂散电阻  $R_{loop}$  也应该尽可能小。

对于杂散电感  $L_{stray}$ , 首先需要在固定驱动电压  $V_{DRV}$  下, 通过限制栅源最大电压不变, 动态变化栅源电感  $L_{GS}$ 、驱动电阻  $R_G$ 、杂散电感  $L_{stray}$  组合, 关注开关能量损耗与器件应力, 得到杂散电感  $L_{stray}$  可接受的设计范围。具体参数与实验测试数据如表 2 所示。

表 2 SiC MOSFET 电路参数与测试数据对比( $V_{DRV} = 18V$ )  
Table 2 Circuit parameters and testing data ( $V_{DRV} = 18V$ )

$L_{GS}/nH$	$L_{stray}/nH$	$R_G/\Omega$	$v_{DS(max)}/V$	$E_{on}/\mu J$	$E_{off}/\mu J$
40	3	13.5	421	210.78	29.957
	60	17.0	569	187.78	81.901
	100	19.0	572	190.47	97.740
	105	21.0	582	194.02	131.390
	260	32.0	641	222.21	310.430
20	15	12.0	497	188.70	25.689
	60	13.0	608	163.65	42.792
	80	14.0	631	155.68	54.227
	95	15.0	640	152.85	69.766
	125	17.0	645	148.47	102.050
10	25	12.0	534	159.94	29.358
	50	13.0	578	147.91	42.827
	75	14.0	606	137.92	56.930
	95	15.0	619	131.51	63.844
	110	16.0	622	128.49	85.407

当栅源电感  $L_{GS}$  分别为 10、20、40nH,  $V_{DC}$  与  $I_L$  分别设置为 400V 与 20A 时, 限制栅源最大电压  $v_{GS(max)} = 21V$ , 不同杂散电感下 SiC MOSFET 开关波形如图 12 所示。

在  $V_{DRV} = 18V$ 、 $R_G = 17\Omega$  的条件下, 当栅源电感  $L_{GS} = 40nH$  时可接受的杂散电感  $L_{stray}$  为 60nH, 而  $L_{GS} = 20nH$  时可接受的  $L_{stray}$  为 125nH。栅源电感  $L_{GS}$  越小, 在相同  $V_{DRV}$ 、 $R_G$  下栅源电压振荡越小, 可接受的杂散电感  $L_{stray}$  越大。

当栅源电感  $L_{GS}$  分别取为 40、20 与 10nH 时, 由关断电压应力限制的杂散电感  $L_{stray}$  最大值从 260nH 减小至 110nH。栅源电感  $L_{GS}$  越小, 在相同  $V_{DRV}$ 、 $R_G$  下开关速度越快, 关断电压尖峰增大, 可接受的杂散电感  $L_{stray}$  范围减小。

图 13 统计了不同栅源电感  $L_{GS}$  与杂散电感  $L_{stray}$  对器件开关损耗的影响。由于  $L_{stray}$  越大, 需要更大的驱动电阻  $R_G$  来抑制栅源电压振荡, 故而开关速

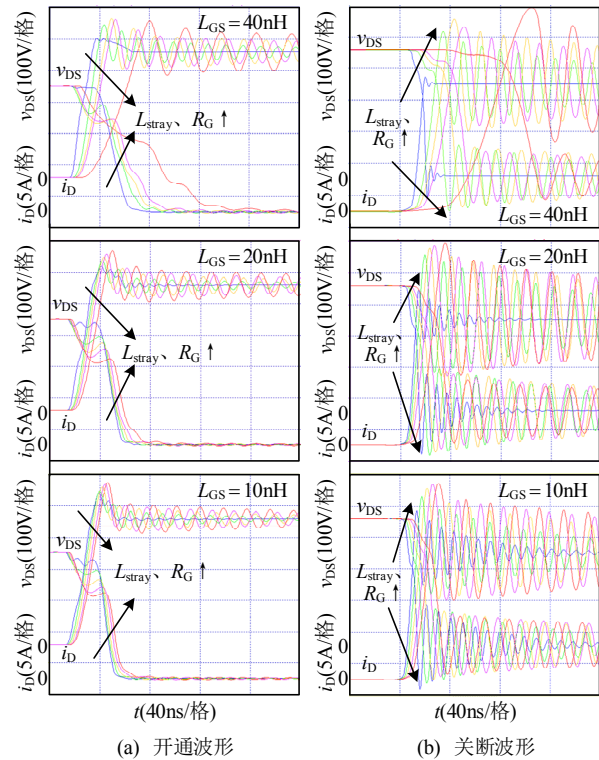
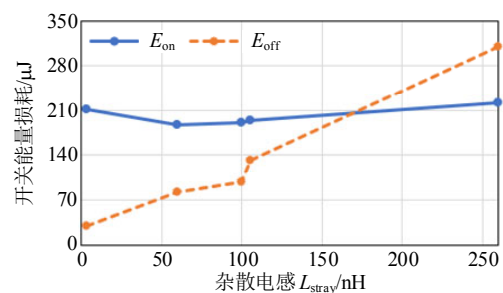


图 12 不同杂散电感下 SiC MOSFET 开关波形

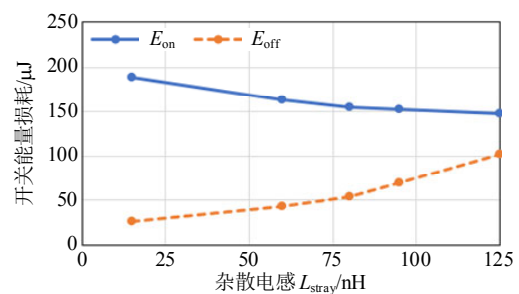
Fig. 12 Switching waveforms under different  $L_{stray}$

度变慢。对于开通过程, 根据式(9)可知  $L_{stray}$  越大, 阶段 2 的电压平台越小, 使得开通损耗减小。综合两者因素, 开通损耗能量先减小后增大; 关断能量损耗由于  $R_G$  增大而增大。

根据上述分析, 并综合考虑器件开关应力、能量损耗以及实际电路的物理空间限制, 杂散电感  $L_{stray}$  以不超过 60nH 为佳。



(a)  $L_{GS} = 40nH$



(b)  $L_{GS} = 20nH$



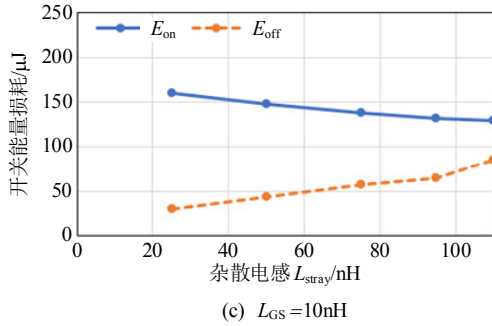


图 13 不同杂散电感下 SiC MOSFET 开关能量损耗  
Fig. 13 Switching energy loss under different  $L_{stray}$

3.2 综合损耗最优原则优化驱动参数

在优化的主电路寄生参数下，栅源电压振荡与关断电压应力都得到优化。在此基础上通过限制栅源最大电压  $v_{GS(max)}$  不变，调整驱动电路参数可以有效降低器件的开关损耗与导通损耗，并依据“综合损耗最优原则”选取优化驱动参数。

当  $L_{stray} = 60nH$ 、 $v_{GS(max)} = 21V$  时，具体驱动电路参数与测试数据如表 3 所示。

表 3 SiC MOSFET 驱动电路参数与测试数据对比  
Table 3 Driving parameters and testing data

$L_{GS}/nH$	$V_{DRV}/V$	$R_G/\Omega$	$v_{DS(max)}/V$	$E_{on}/\mu J$	$E_{off}/\mu J$
40	15.8	12	639	234.88	39.152
	17.2	15	602	197.48	56.987
	18.0	17	569	187.78	81.901
	18.7	19	538	181.85	91.592
	19.5	21	520	183.85	119.060
	21.0	40	468	290.55	270.850
20	17.1	12	618	185.59	34.702
	18.0	13	608	163.65	42.792
	18.6	14	597	157.93	52.501
	19.0	15	583	154.74	63.532
	19.3	16	564	154.00	73.093
	21.0	30	479	219.30	198.440
10	18.0	12	579	163.07	32.859
	19.0	13	578	147.91	42.827
	19.5	14	564	143.89	48.415
	20.0	15	543	140.40	58.302
	20.3	16	523	143.04	67.003
	21.0	23	480	176.58	134.060

图 14 为 400V/20A 情况不同栅源电感  $L_{GS}$ 、栅极电阻  $R_G$ 、驱动电压  $V_{DRV}$  下的开关波形。在同一栅源电感  $L_{GS}$  下， $R_G$  增大， $V_{DRV}$  同时增大，开通电流尖峰略有增大；由于驱动正压不影响关断过程，关断电压尖峰减小。在同一驱动电阻  $R_G$  下， $L_{GS}$  越小，但同时  $V_{DRV}$  增大，开通电流尖峰只略有减小；由于驱动正压不影响关断，关断电压尖峰减小。

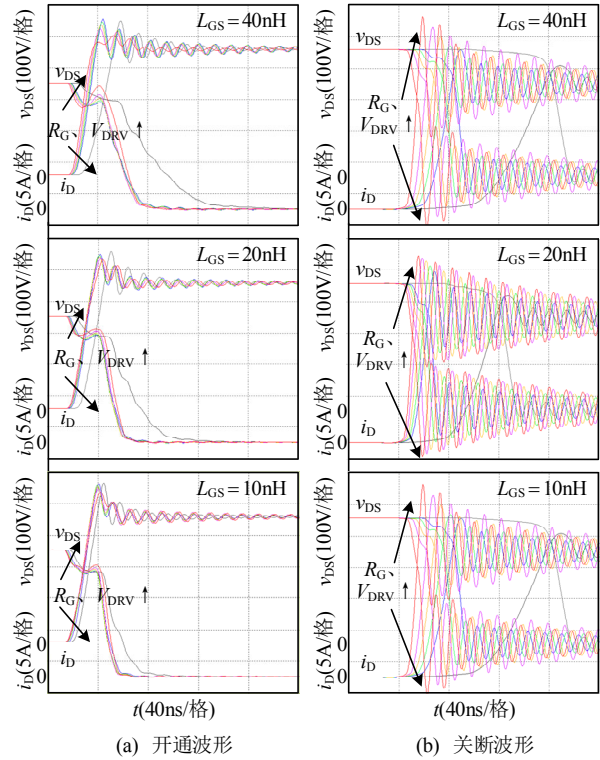
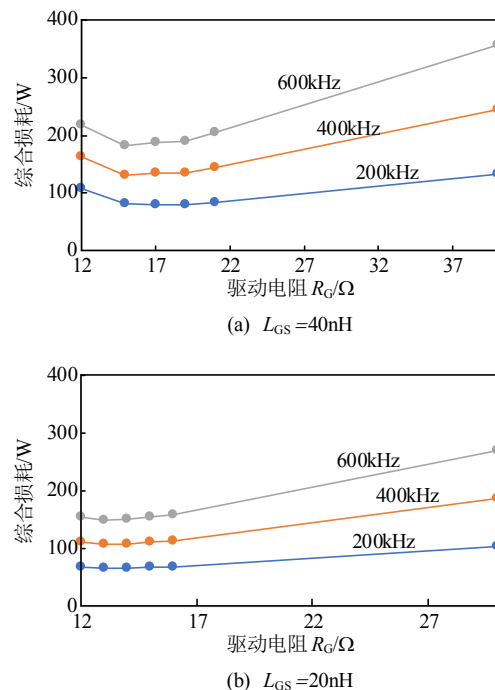


图 14 不同驱动参数下 SiC MOSFET 开关波形  
Fig. 14 Switching waveforms under different driving parameters

图 15 统计了不同驱动参数  $L_{GS}$ 、 $R_G$ 、 $V_{DRV}$  对器件综合损耗的影响。在同一栅源电感  $L_{GS}$  下， $R_G$  增大同时  $V_{DRV}$  增大，开通损耗先减小后增大，导通损耗减小；由于驱动正压不影响关断过程，关断损耗持续增大，故而综合损耗先减后增。在同一驱动电阻  $R_G$  下， $L_{GS}$  越小同时  $V_{DRV}$  增大，开通损耗、导



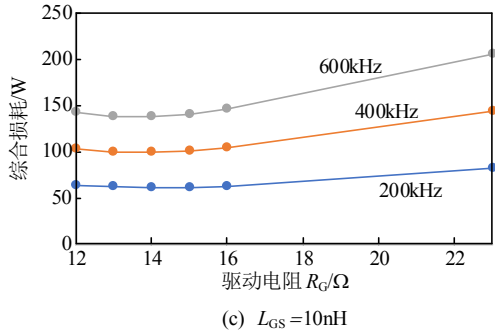


图 15 不同驱动参数下 SiC MOSFET 综合损耗

Fig. 15 Comprehensive loss under different driving parameters

通损耗减小；由于驱动正压不影响关断过程，关断损耗基本不变，故而综合损耗减小。

依据综合损耗最优原则，当  $L_{GS} = 40\text{nH}$  时，选取  $R_G = 15\Omega$  为佳，此时阻尼比为 1.09；当  $L_{GS} = 20\text{nH}$  时，选取  $R_G = 13\Omega$  为佳，此时阻尼比为 1.34；当  $L_{GS} = 10\text{nH}$  时，选取  $R_G = 14\Omega$  为佳，此时阻尼比为 2.04。可见，栅源电感  $L_{GS}$  越小，最优驱动参数的阻尼比越大，这是因为  $L_{GS}$  减小开关速度增大，导致栅源电压叠加的高频振荡增大，需要更高的阻尼来抑制高频振荡。

### 3.3 实验验证与讨论

为了评价不同驱动参数组合 ( $V_{DRV}, R_G$ ) 对 SiC MOSFET (SCT3060AL, ROHM) 栅极可靠性和综合损耗的影响，本文搭建了如图 16 所示的双脉冲实验平台，通过双脉冲实验测试了 SiC MOSFET 的开关特性。测试条件如表 4 所示。

不同驱动参数组合下 SiC MOSFET 的开关波形如图 17 所示。本文选择不同的驱动参数组合将最大栅源电压  $v_{GS(max)}$  限制在 21~22V。显然， $R_G$  越小，栅源电压振荡幅度越大。随着  $R_G$  从 22Ω 减小到 12Ω，栅源电压超调部分从 1.2V 增大到 7.2V；

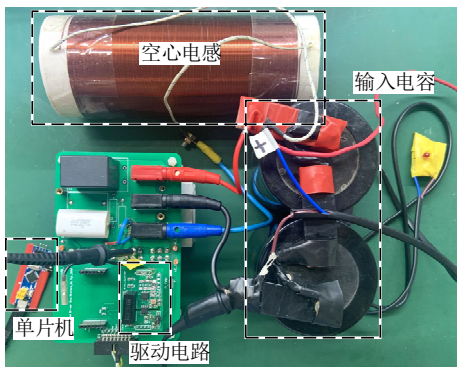


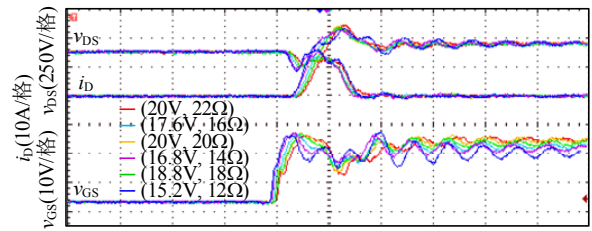
图 16 SiC MOSFET 双脉冲测试平台

Fig. 16 Double pulse test platform for SiC MOSFET

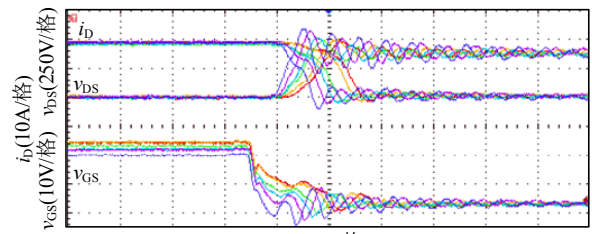
表 4 SiC MOSFET 测试条件

Table 4 Test conditions of SiC MOSFET

$V_{DC}/\text{V}$	$I_t/\text{A}$	$L_{GS}/\text{nH}$	$V_{DRV}/\text{V}$	$R_G/\Omega$
400	20	42.52	15.2	12
400	20	42.52	16.8	14
400	20	42.52	17.6	16
400	20	42.52	18.8	18
400	20	42.52	20.0	20
400	20	42.52	20.0	22



(a) 开通波形



(b) 关断波形

图 17 不同驱动参数组合下 SiC MOSFET 开关波形

Fig. 17 Switching waveforms under different driving parameters combinations ( $V_{DRV}, R_G$ )

$R_G$  减小同时  $V_{DRV}$  减小，开通电流应力从 24.5A 减小到 23.0A。驱动正压对关断过程影响不大，关断电压应力随  $R_G$  的减小而增大，关断电压尖峰从 485V 增大到 595V，增加了 22.68%。

不同驱动参数组合下 SiC MOSFET 的开关能量损耗如图 18 所示。 $R_G$  越小，栅源振荡越大，导致  $V_{DRV}$  受限，开通能量损耗增大，当  $R_G$  从 22Ω 减小

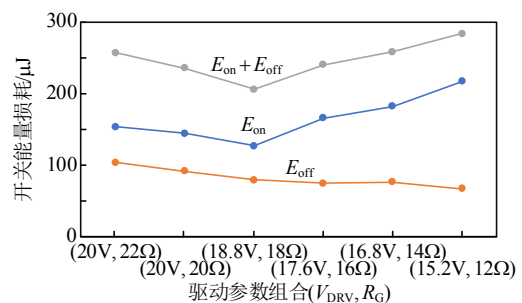


图 18 不同驱动参数组合下 SiC MOSFET 开关能量损耗

Fig. 18 Switching energy loss under different driving parameters combinations ( $V_{DRV}, R_G$ )

至  $12\Omega$  时, 开通能量损耗从  $153.8\mu\text{J}$  增大至  $217.2\mu\text{J}$ , 增加了 41.22%。驱动正压对关断过程影响不大,  $R_G$  越小, 关断能量损耗越小, 当  $R_G$  从  $22\Omega$  降低到  $12\Omega$  时, 关断能量降低了 35.59%。

不同开关频率下不同驱动参数组合( $V_{\text{DRV}}, R_G$ )的综合损耗如图 19 所示。由图可知, (22V,  $22\Omega$ )的综合损耗相较于(15.2V,  $12\Omega$ )在 200kHz 时小 30.175W, 在 600kHz 时小 49.89W。随着频率的提高, 开关能量损耗小的驱动参数组合更有优势。

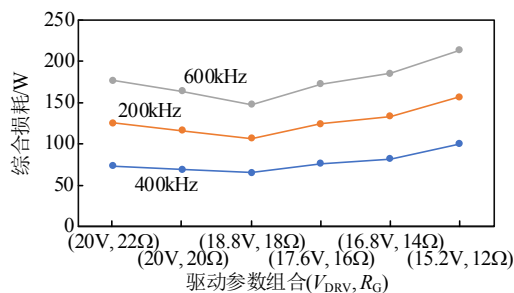


图 19 不同驱动参数组合下 SiC MOSFET 综合损耗

Fig. 19 Comprehensive loss under different driving parameters combinations ( $V_{\text{DRV}}, R_G$ )

以综合损耗最优为依据, 当  $L_{\text{GS}}=42.52\text{nH}$  时, 选择(18.8V,  $18\Omega$ )为最佳驱动参数组合。根据前文分析, 若  $L_{\text{GS}}$  能继续优化,  $R_G$  取更小值的同时可以进一步增大  $V_{\text{DRV}}$ , 综合损耗也将进一步减小。此外, 若  $L_{\text{stray}}$  能优化至  $60\text{nH}$ , 在同一  $L_{\text{GS}}$  下, 最优参数的阻尼比也将减小。

## 4 结论

针对 SiC MOSFET 瞬态时的非理想特性, 本文建立了器件开通栅源电压振荡的数学模型, 阐释了栅源电压振荡的机理, 并提出一种驱动电路参数优化设计方法。理论分析、仿真以及试验结果表明:

1) 由于主电路存在寄生电容与杂散电感, 同时杂散电阻又非常小, 在 SiC MOSFET 开关过程中容易引起高频振荡。该振荡通过 MOSFET 结电容、共源寄生电感等参数耦合至驱动电路, 使得栅源电压叠加高频振荡。

2) 驱动电路参数、主电路参数以及工况条件均会影响栅源电压, 其中:  $R_G$ 、 $L_S$ 、 $R_{\text{loop}}$ 、 $L_L$  越小,  $L_{\text{GS}}$ 、 $L_{\text{stray}}$ 、 $C_J$  与  $V_{\text{DC}}$  越大, 栅源电压振荡越严重。

3) 综合考虑器件应力、能量损耗以及实际电路的物理空间限制, 杂散电感  $L_{\text{stray}}$  不宜大于  $60\text{nH}$ , 并尽可能选用寄生电容  $C_J$  较小的 SiC SBD 作为续流二极管。

4) 优化栅源电感  $L_{\text{GS}}$  可以在保证栅极安全的前提下, 减小驱动电阻  $R_G$ 、增大驱动电压  $V_{\text{DRV}}$ 。对于直插式 SiC MOSFET, 布局设计宜尽可能把  $L_{\text{GS}}$  控制在  $20\text{nH}$  以下; 对于贴片式 SiC MOSFET, 布局设计宜尽可能把  $L_{\text{GS}}$  控制在  $10\text{nH}$  以下。

## 参考文献

- [1] 李政, 陈思源, 董文娟, 等. 碳约束条件下电力行业低碳转型路径研究[J]. 中国电机工程学报, 2021, 41(12): 3987-4000.  
LI Zheng, CHEN Siyuan, DONG Wenjuan, et al. Low carbon transition pathway of power sector under carbon emission constraints[J]. Proceedings of the CSEE, 2021, 41(12): 3987-4000(in Chinese).
- [2] 钱照明, 张军明, 盛况. 电力电子器件及其应用的现状和发展[J]. 中国电机工程学报, 2014, 34(29): 5149-5161.  
QIAN Zhaoming, ZHANG Junming, SHENG Kuang. Status and development of power semiconductor devices and its applications[J]. Proceedings of the CSEE, 2014, 34(29): 5149-5161(in Chinese).
- [3] MARZOUGHI A, BURGOS R, BOROYEVICH D. Characterization and performance evaluation of the state-of-the-art 3. 3kV 30A full-SiC MOSFETs[J]. IEEE Transaction on Power Electronics, 2019, 34(2): 1181-1196.
- [4] 王学梅. 宽禁带碳化硅功率器件在电动汽车中的研究与应用[J]. 中国电机工程学报, 2014, 34(3): 371-379.  
WANG Xuemei. Researches and applications of wide bandgap SiC power devices in electric vehicles[J]. Proceedings of the CSEE, 2014, 34(3): 371-379(in Chinese).
- [5] 曾正, 邵伟华, 胡博容, 等. SiC 器件在光伏逆变器中的应用与挑战[J]. 中国电机工程学报, 2017, 37(1): 221-232.  
ZENG Zheng, SHAO Weihua, HU Borong, et al. Chances and challenges of photovoltaic inverters with silicon carbide devices[J]. Proceedings of the CSEE, 2017, 37(1): 221-232(in Chinese).
- [6] WANG Ruoyin, TAN Linlin, LI Chengyun, et al. Analysis, design, and implementation of junction temperature fluctuation tracking suppression strategy for SiC MOSFETs in wireless high-power transfer[J]. IEEE Transactions on Power Electronics, 2021, 36(1): 1193-1204.
- [7] 秦海鸿, 朱梓悦, 戴卫力, 等. 寄生电感对 SiC MOSFET 开关特性的影响[J]. 南京航空航天大学学报, 2017, 49(4): 531-539.  
QIN Haihong, ZHU Ziyue, DAI Weili, et al. Influence of parasitic inductance on switching characteristics of SiC

- MOSFET[J]. Journal of Nanjing University of Aeronautics & Astronautics, 2017, 49(4): 531-539(in Chinese).
- [8] LIN Xiang, RAVI L, ZHANG Yuhao, et al. Analysis of voltage sharing of series-connected SiC MOSFETs and body-diodes[J]. IEEE Transactions on Power Electronics, 2021, 36(7): 7612-7624.
- [9] YANG Fei, WANG Zhiqiang, ZHANG Zheyu, et al. Analysis and experimental evaluation of middle-point inductance's effect on switching transients for multiple-chip power module package[J]. IEEE Transactions on Power Electronics, 2019, 34(7): 6613-6627.
- [10] SUGIHARA Y, NANAMORI K, YAMAMOTO M, et al. Parasitic inductance design considerations to suppress gate voltage oscillation of fast switching power semiconductor devices[C]//International Power Electronics Conference (IPEC). Niigata, Japan: IEEE, 2018: 2789-2795.
- [11] CITTANTI D, IANNUZZO F, HOENE E, et al. Role of parasitic capacitances in power MOSFET turn-on switching speed limits: a SiC case study[C]//IEEE Energy Conversion Congress and Exposition (ECCE). Cincinnati, OH, USA: IEEE, 2017: 1387-1394.
- [12] ZENG Zheng, LI Xiaoling. Comparative study on multiple degrees of freedom of gate drivers for transient behavior regulation of SiC MOSFET[J]. IEEE Transactions on Power Electronics, 2018, 33(10): 8754-8763.
- [13] LI Pengfei, GUO Xibin, ZHOU Haiping, et al. A drive circuit design based on SiC MOSFET and analysis of problems[C]//International Conference on Electrical Machines and Systems (ICEMS). Harbin, China: IEEE, 2019: 1-5.
- [14] PENG Hao, PENG Han, DANG Ziyue, et al. A driving loss and speed co-optimized series resonant gate driver with novel time segmented methodology for high frequency SiC MOSFETs[C]//IEEE Applied Power Electronics Conference and Exposition (APEC). New Orleans, LA, USA: IEEE, 2020: 1599-1603.
- [15] WU Yuying, HE Ning, YU Lingqiang, et al. Effectiveness analysis of SiC MOSFET switching oscillation damping[C]//Proceeding of the 9th International Power Electronics and Motion Control Conference (IPEMC). Nanjing, China: IEEE, 2020: 20-27.
- [16] ZHANG Lei, YUAN Xibo, WU Xiaojie, et al. Performance evaluation of high-power SiC MOSFET modules in comparison to Si IGBT modules[J]. IEEE Transactions on Power Electronics, 2019, 34(2): 1181-1196.
- [17] HU Sideng, WANG Mingyang, LIANG Zipeng, et al. A frequency-based stray parameter extraction method based on oscillation in SiC MOSFET dynamics[J]. IEEE Transactions on Power Electronics, 2021, 36(6): 6153-6157.
- [18] ZHANG Weichi, WANG Xiang, DAHIDAH M S A, et al. An investigation of gate voltage oscillation and its suppression for SiC MOSFET[J]. IEEE Access, 2020, 8: 127781-127788.
- [19] ROY S K, BASU K. Analytical model to study hard turn-off switching dynamics of SiC mosfet and schottky diode pair[J]. IEEE Transactions on Power Electronics, 2021, 36(1): 861-875.
- [20] 郑丹, 张少昆, 李磊, 等. SiC MOSFET 开关损耗测试方法研究[J]. 中国电机工程学报, 2020, 40(9): 2975-2982.
- ZHENG Dan, ZHANG Shaokun, LI Lei, et al. Research on switching losses testing method for SiC MOSFETs[J]. Proceedings of the CSEE, 2020, 40(9): 2975-2982(in Chinese).
- [21] ROHM. SCT3060AL N-channel SiC power MOSFET datasheet[EB/OL]. (2018-06-14). <https://rohmfs-rohm-com-cn.oss-cn-shanghai.aliyuncs.com/en/products/databook/datasheet/discrete/sic/mosfet/sct3060al-e.pdf>.
- [22] ROHM. SCS240AE2 SiC schottky barrier diode datasheet [EB/OL]. (2021-02-17). <https://rohmfs-rohm-com-cn.oss-cn-shanghai.aliyuncs.com/en/products/databook/datasheet/discrete/sic/sbd/scs240ae2-e.pdf>.



秦海鸿

在线出版日期: 2021-10-29。

收稿日期: 2021-08-05。

作者简介:

秦海鸿(1977), 男, 博士, 副教授, 研究方向为功率变换技术、电机控制及新器件应用研究, qinhaihong@nuaa.edu.cn;

\*通信作者: 谢斯璇(1998), 女, 硕士研究生, 研究方向为新型宽禁带半导体的特性及其应用, 1020098684@qq.com。

(责任编辑 吕鲜艳)



# Gate-source Voltage Evaluation and Parameter Optimized Designed Method of Driving Circuit for SiC MOSFET

QIN Haihong, XIE Sixuan\*, BU Feifei, CHEN Wenming, HUANG Wenxin  
(Nanjing University of Aeronautics and Astronautics)

**KEY WORDS:** silicon carbide (SiC) based metal-oxide- semiconductor field-effect transistor (MOSFET); parasitic parameters; gate voltage; driving parameter design

SiC MOSFETs provide promising potentials for high efficiency and power density converter. A proper driving circuit can drive SiC MOSFET to switch reliably and quickly.

At present, the design methods of driving circuit for SiC MOSFET mainly consider driving circuit equivalent to an RLC second-order circuit, and obtain the balance between gate reliability and power loss by reasonably selecting damping factor. However, for SiC MOSFET, due to its high switching speed, obvious oscillation caused by parasitic parameters will have a great impact on the gate-source voltage.

In this paper, based on the double pulse test circuit model as shown in Fig. 1, the coupling effect of the main circuit on the driving circuit has been analyzed.

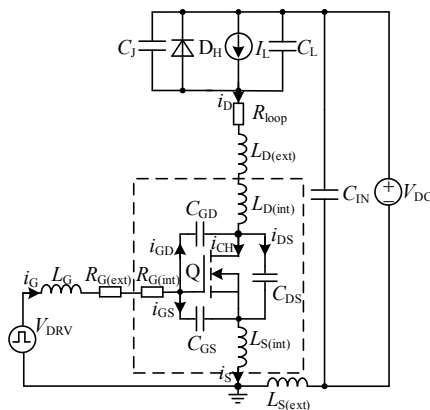


Fig. 1 Double pulse circuit considering parasitic parameters

Because of the large  $dv/dt$  and  $di/dt$  of SiC MOSFET, the oscillation caused by main circuit is coupled to the driving circuit through common source inductance and junction capacitance. Through the analysis of the turning on process of SiC MOSFET, not only the driving circuit parameters affect the oscillation amplitude of gate-source voltage, but also the main circuit parameters and working conditions.

When the maximum gate-source voltage is limited to 21V, the switching energy loss of SiC MOSFET under different stray inductance has been given, as shown in Fig. 2. When the stray inductance becomes larger, the driving resistance needs to be increased to suppress the oscillation of gate-source voltage, resulting in slower switching speed. According to the results, the stray inductance should not be greater than 60nH.

Switching waveforms under different driving parameter combinations are shown in Fig. 3. Obviously, the smaller driving resistance, the greater oscillation amplitude of the gate-source voltage and drain-source voltage stress. At the same time, the driving voltage also decreases, which reduces the turn-on current stress.

The loss of SiC MOSFET under different driving parameter combinations is shown in Fig. 4. The

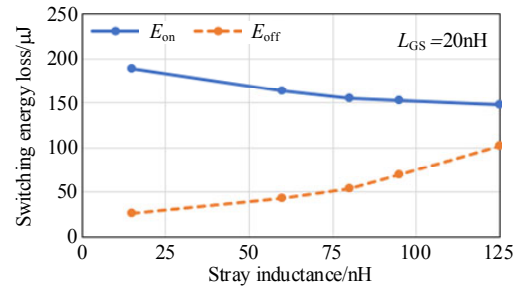


Fig. 2 Switching energy loss under different stray inductance

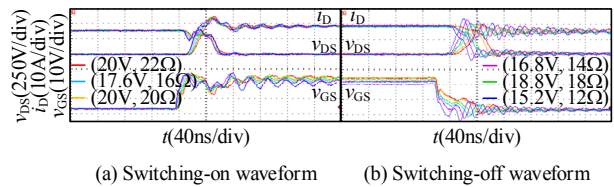


Fig. 3 Switching waveforms under different driving parameters

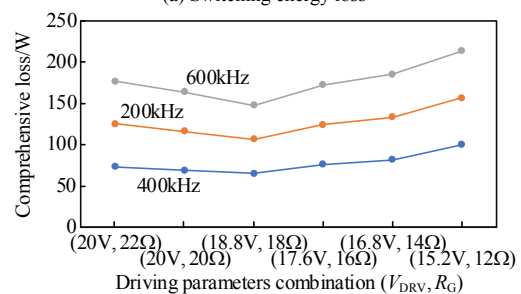
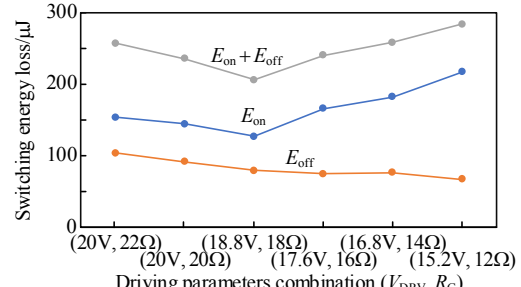


Fig. 4 Loss of SiC MOSFET under different driving parameters

reduction of driving resistance reduces the switching energy loss, but at the same time, it limits the driving voltage which makes the switching loss increase. Moreover, with the increase of switching frequency, the combination of driving parameters with small switching energy loss has more advantages.

In summary, when the gate-source inductance is 42.52nH, (18.8V, 18Ω) is selected as the best combination of driving parameters.