

SiC MOSFET 短路失效与退化机理研究 综述及展望

康健龙¹, 辛振^{1*}, 陈建良¹, 王怀², 李武华³

- (1. 省部共建电工装备可靠性与智能化国家重点实验室(河北工业大学), 天津市 红桥区 300130;
2. 丹麦奥尔堡大学能源技术系电子可靠性研究中心, 丹麦 东奥尔堡 DK-9220;
3. 浙江大学电气工程学院, 浙江省 杭州市 310027)

Review and Prospect of Short-circuit Failure and Degradation Mechanism of SiC MOSFET

KANG Jianlong¹, XIN Zhen^{1*}, CHEN Jianliang¹, WANG Huai², LI Wuhua³

- (1. State Key Laboratory of Reliability and Intelligence of Electrical Equipment (Hebei University of Technology), Hongqiao District, Tianjin 300130, China; 2. Center of Reliable Power Electronics (CORPE), Department of Energy Technology, Aalborg University, DK-9220, Aalborg East, Denmark;
3. College of Electrical Engineering, Zhejiang University, Hangzhou 310027, Zhejiang Province, China)

ABSTRACT: SiC MOSFET can greatly improve the efficiency and power density of the converter, and has good application prospects in high frequency, high temperature and high voltage field. However, the SiC MOSFET's popularization and application have been limited due to its short short-circuit withstand time, serious characteristic degradation, and ambiguous failure mechanism. Therefore, it is valuable to explore SiC MOSFET short-circuit degradation and failure mechanism, that can provide guidance for the application of SiC MOSFET devices and the design of their protection circuits. Firstly, this paper summarized various types of SiC MOSFET short-circuit faults, and the characteristic for one of the typical short-circuit faults was analyzed in detail. Based on this, it discussed SiC MOSFET's two typical failure modes, the failure mechanism and influencing factors after a single short-circuit fault. Secondly, the status of SiC MOSFET degradation mechanism after repetitive short circuit stress was systematically summarized. Finally, the current research difficulties of short-circuit failure and characteristic degradation of SiC MOSFET were pointed out, and the development trend of SiC MOSFET short-circuit characteristic research was prospected.

KEY WORDS: SiC MOSFET; short-circuit fault; failure mechanism; degradation; repetitive short-circuit stress

摘要: SiC MOSFET 可以大幅提升变频器的效率和功率密度, 在高频、高温、高压等领域有较好的应用前景。但是, 由于其短路耐受时间短、特性退化现象严重以及失效机理模糊等因素, 致使 SiC MOSFET 的普及应用受到了限制。因此, 探究 SiC MOSFET 短路失效与特性退化的机理, 可以为 SiC MOSFET 器件的应用及其保护电路的设计提供指导, 具有重要的研究价值。该文首先归纳 SiC MOSFET 的短路故障类型, 并针对其中一种典型的短路故障进行详细的特性分析。在此基础上, 论述 SiC MOSFET 单次短路故障后存在的两种典型失效模式, 综述其在两种失效模式下的失效机理以及影响因素。其次, 对 SiC MOSFET 经历重复短路应力后器件特性退化机理的研究现状进行系统的总结。最后指出当前 SiC MOSFET 短路失效与特性退化的研究难点, 展望 SiC MOSFET 短路特性研究的发展趋势。

关键词: SiC MOSFET; 短路故障; 失效机理; 退化; 重复短路应力

0 引言

SiC MOSFET 具有耐高温、耐高压、低损耗和开关速度快等优点, 在新能源发电、轨道交通、电动汽车及家用电器等领域具有较大的应用前景和产业价值^[1-5]。然而, 与同量级硅基器件相比, SiC MOSFET 的芯片面积更小、电流密度更大, 导致其在短路状态下承受更强的电热应力。此外, SiC

基金项目: 国家自然科学基金(青年项目)(51907048); 河北省自然科学基金绿色通道项目(E2019202345)。

Project Supported by National Natural Science Foundation of China (Youth Program)(51907048); The Green Channel Program of Natural Science Foundation of Hebei Province (E2019202345).

MOSFET 栅氧层退化现象的存在, 致使 SiC MOSFET 的短路可靠性问题变得尤为突出^[6-8]。目前, SiC MOSFET 在实际应用中短路特性以及短路可靠性的数据信息仍然十分有限, 使得其可靠性评估结果得不到准确的验证^[9]。因此, 针对 SiC MOSFET 短路可靠性问题的研究具有一定的现实意义以及学术价值。

文献[5]表明, SiC MOSFET 相比于硅基 IGBT 具有更低的短路可靠性, 主要表现为器件短路耐受时间更短以及短路引起的特性退化更为严重。IGBT 数据手册中大都明确指出, 器件在一定应力条件下可以耐受 10 μ s 的短路时长。对于 SiC MOSFET 而言, 却罕有公司对器件的短路耐受时间进行标定, 仅 Infineon 针对 CoolSiC MOSFET 系列产品做出 3 μ s 短路耐受时长的承诺。一些研究学者对 Cree、ROHM、ST 等公司的 SiC MOSFET 产品进行单次短路实验, 均在 8 μ s 内观察到了失效现象^[10-11]。由此可见, 短路耐受时间短是 SiC MOSFET 在可靠性要求较高的应用领域无法取代 IGBT 的一大因素。

除此之外, SiC MOSFET 在重复短路后存在明显的特性退化现象是其短路可靠性低的另一个重要表现。文献[12]对 Cree 第三代 SiC MOSFET 产品进行 140 次重复短路实验后, 器件的导通电阻(R_{dson})增大近 12%, 栅极漏电流(I_{gss})增大了 7 个数量级; 文献[8]在低栅源极电压(V_{gs})以及低漏源极电压(V_{ds})的条件下对 SiC MOSFET 进行重复短路实验后, I_{gss} 虽然没有明显变化, 但阈值电压(V_{th})减小了近 20%, 漏极漏电流(I_{dss})出现明显增大。并且, 短路引起的 SiC MOSFET 电学参数的退化受到了电、热、机械等多种应力的作用, 其退化机理需要从元胞结构、芯片封装以及器件可靠性等多方面进行论证分析^[13]。由此可见, 由于 SiC MOSFET 的短路特性退化具有退化参数多、退化程度大以及退化机理复杂等特点, 使得其短路可靠性问题的研究变得更为困难。

若要从根本上提升 SiC MOSFET 的短路可靠性, 必须对其短路失效与特性退化的机理进行深入研究。目前, 已有很多学者从理论推演^[14]、实验观察^[15]、建模仿真^[16-17]及逆向分析^[13]等多个角度对其退化失效现象进行了分析验证。研究表明, SiC MOSFET 若发生短路并造成其失效, 则可能出现两种典型的失效现象: 栅源极之间短路(G-S 短路)和漏源极之间短路(D-S 短路)。G-S 短路是一种相对安

全的失效现象, 一旦发生此类短路失效, 器件将无法再次打开, 在很大一部分应用场合可以避免对装置的其它部分造成破坏^[18]; 而 D-S 短路是一种不可控的失效现象, 发生此类失效状况时, 器件将完全失去控制, 不仅会对器件本身造成二次伤害, 使得其失效的直接原因难以确定, 而且失效后持续的短路状态会对整体系统造成很大的危害。若 SiC MOSFET 短路后被及时保护关断, 器件虽然不会失效, 但其电学特性会发生严重的退化, 进而大幅降低器件的可靠性^[19]。因此, 只有充分认识 SiC MOSFET 的短路失效过程, 明确其特性退化的本质机理, 才能从芯片设计上改进工艺流程以提升器件短路耐受能力, 从器件应用上优化电路结构以降低装置故障率, 从而保证电力电子装置在复杂工况环境下的可靠运行。

本文首先详细介绍 SiC MOSFET 的 3 种短路故障类型, 并对其中一种典型短路故障的短路特性进行分析。其次, 对 SiC MOSFET 单次短路故障下失效机理及影响因素的研究现状进行系统的梳理; 最后, 总结 SiC MOSFET 在重复短路应力下器件特性退化机理研究的最新进展; 在此基础上分析和展望 SiC MOSFET 短路失效与退化机理的研究趋势和发展方向。

1 SiC MOSFET 短路故障

1.1 短路故障分类

以单相全桥电路为例, 依据短路故障发生的位置及短路时器件的工作状态可将短路故障分为 3 类, 如图 1 所示。

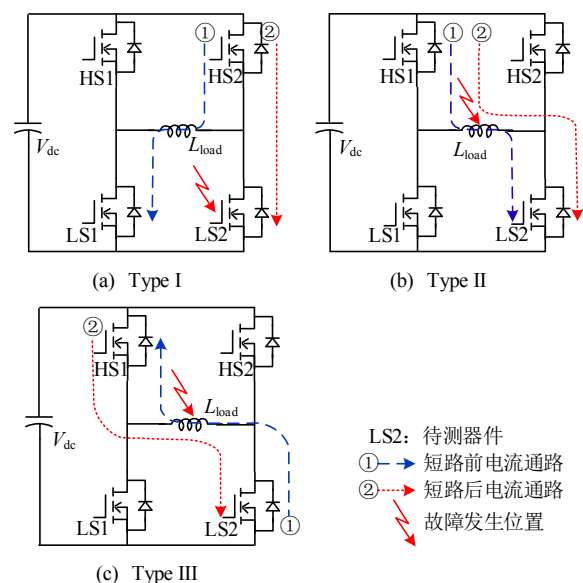


图 1 SiC MOSFET 典型短路故障类型

Fig. 1 Typical short-circuit fault types of SiC MOSFET

Type I 型短路: 该短路类型是指 SiC MOSFET 在导通前已处于短路回路中, 器件开通即处于短路状态, 因此该故障类型也叫硬开关故障 (hard switching fault, HSF)。例如由于器件误导通造成的桥臂直通, 如图 1(a)所示。该类短路故障的普遍特征为短路回路路径较短, 感抗较小, 短路电流上升速度较快。因此, SiC MOSFET 若发生此类短路故障, 往往需要更快的短路保护速度^[20]。

Type II 型短路: SiC MOSFET 处在导通状态时, 若负载端突然短路, 造成不同桥臂间的两支开关管出现短路, 则将此故障定义为 Type II 型短路故障, 也称为负载短路故障 (fault under load, FUL), 如图 1(b)所示。该短路故障下, 由于短路回路路径较长, 感抗较大, 电流上升过程相对缓慢。短路故障发生后, 漏源极电压迅速由导通压降上升至高压状态, 短路电流上升速率由短路阻抗和直流母线电压决定^[21]。由于米勒电容的存在, 栅漏极之间会出现较大的位移电流, 使得栅极电压产生过冲, 进一步促使漏极电流上升。因此, 此类短路故障下电流的峰值一般高于 HSF 的电流峰值。

Type III 型短路: 在电机驱动、变频器等一些应用领域, SiC MOSFET 可能运行在第三象限, 若此时负载端发生短路, 则开关管 LS2 的运行状态迅速由第三象限转向第一象限^[22]。器件由低压、逆向电流的工作状态迅速转变成高电压、大电流的短路状态。此类短路故障的特征与 Type II 型较为相似, 但额外增加了寄生体二极管的反向恢复过程。若 SiC MOSFET 工作在第三象限时并没有同时将器件开通, 则在短路瞬间, 寄生体二极管会产生较大的反向恢复电流, 从而对寄生体二极管的可靠性造成影响。

表 1 归纳了 3 种短路故障类型的各项特征对比结果。由表 1 可知, Type II 与 Type III 型短路故障特征较为相似, 区别在于对寄生体二极管的损伤程度不同。在 Type I 型短路故障下, 器件短路瞬间积累的能量相对较大, 因此通常将此类短路故障实验作为 SiC MOSFET 短路失效分析的实验方法^[14,19]。由于 SiC MOSFET 在部分中高压应用场合下有望取代硅基 IGBT, 因此其可能发生的短路故障类型与 IGBT 的短路故障类型较为相似^[20]。在国际电工委员会标准 IEC 60747-9 中, 明确指出 IGBT 的两种类型的短路故障, 即 HSF 以及 FUL。而电机驱动作为 SiC MOSFET 的应用领域之一, 极有可能在

表 1 SiC MOSFET 3 种短路故障的特征对比

Table 1 Comparison of three short-circuit fault characteristics of SiC MOSFET

短路类型	漏源电压	di/dr	电流峰值	工作象限	短路瞬间能量积累
Type I	持续高	高	正常	第一	最大
Type II	低到高	低	最大	第一	较大
TYPE III	低到高	低	较大	第三	较大

能量由负载流向变频器时发生短路故障, 因此 Type III 型短路故障也应该被研究者所考虑。

1.2 短路特性分析

若要分析 SiC MOSFET 在不同类型短路故障下的短路特性, 则需要完成相应的短路实验, 并对实验波形的变化机理进行分析论证^[23]。尽管 SiC MOSFET 在不同短路故障下的短路特性存在差异, 但短路特性分析的方法较为相似, 因此本文只对其中一种短路故障进行特性分析。以 HSF 为例, 图 2 为 SiC MOSFET 短路测试电路以及典型短路实验波形, 其短路过程可以分为 4 个阶段。

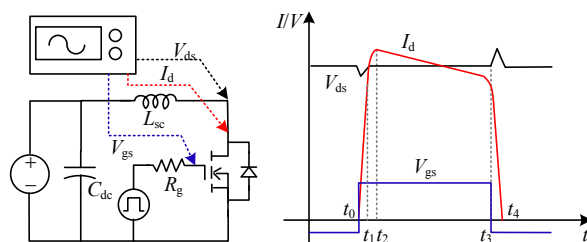


图 2 短路测试电路与典型实验波形

Fig. 2 Short-circuit test circuit with typical experimental waveform

1) t_0-t_1 : t_0 时刻, 对 SiC MOSFET 施加驱动信号, 器件沟道打开, 电流迅速上升并达到饱和值。由于回路寄生电感(L_{sc})的存在, 使得开关管漏源极两端电压稍有降低, 随后逐渐恢复, 器件工作状态由截止区进入饱和区^[11]。

2) t_1-t_2 : 随着温度的升高, 受沟道反型层电荷增加及库伦散射主导作用的影响, 沟道载流子迁移率增大^[24], 电流继续上升; 随后, 其它负温度相关的散射机制(声子散射及表面粗糙散射)作用增强, 电流上升速率逐渐减小。

3) t_2-t_3 : 在该阶段, 器件仍工作在饱和区。较大的功率损耗使得器件结温迅速上升, 沟道处负温度相关的散射机制占据主导地位, 导致载流子迁移率降低^[25], 流过 SiC MOSFET 的电流减小, 电流波形呈现负斜率。

4) t_3-t_4 : 器件关断, 电流迅速减小到零。

以上内容是对 SiC MOSFET 在硬开关故障下, 器件不发生退化、失效情况时的短路特性分析。然而, SiC MOSFET 在短路过程中往往伴随着器件特性的退化, 并且器件短路失效后存在几种特定的失效模式。因此, 需要设计不同的短路实验, 以实现 SiC MOSFET 短路失效与特性退化机理的针对性研究。

1.3 短路实验设计

依据不同的实验目的, 可以将短路实验分为破坏性短路实验及非破坏性短路实验^[26]。破坏性短路实验为: 通过控制 SiC MOSFET 驱动脉冲的宽度, 不断增加器件的短路时长, 直至器件发生短路失效, 或是直接对器件施加足够长的驱动脉冲直至器件失效, 以此来确定 SiC MOSFET 的短路耐受时间, 临界短路能量等极限参数, 以及探究器件的短路失效机理; 非破坏性短路实验是在器件不发生短路失效的前提下(即短路时长足够短, 短路能量小于相应实验条件下的临界值), 对器件进行短路实验, 以研究器件的短路特性, 分析外界参数的影响, 以及论证重复短路应力造成器件特性退化的机理。

在明确短路实验的目的之后, 则需要针对不同类型的短路故障实验搭建相应的短路实验平台。当需要模拟 Type I 型短路故障时, 可以直接将待测器件与母线电容并联, 通常不需要增加额外的开关器件^[19]。短路实验平台的拓扑结构较为简单, 其主电路拓扑结构如图 2 所示。当需要完成 Type II 或 Type III 型短路实验时, 则需要辅助的开关管与待测器件进行逻辑配合, 以完成对相应短路故障的模拟。因此额外增加了辅助开关管的选型以及驱动电路的设计环节^[21]。为了同时满足不同类型的短路实验需求, 文献[20]提出一种综合短路实验平台的拓扑结构, 可以同时实现对 3 种短路故障的模拟实验。但该平台存在拓扑结构复杂, 额外开关管较多的弊端, 因此不适用于对短路瞬态波形的分析。若要对器件短路过程中或发生失效时的瞬态波形进行分析, 可以采用拓扑更为简单的单一类型短路实验平台, 或是进一步优化综合短路实验平台的设计, 以确保分析结果的准确性。

无论是破坏性短路实验还是非破坏性短路实验, 均不能忽略实验的危险性与不确定性, 因此都需要为实验平台设计保护关断电路。当 SiC MOSFET 出现不可控的短路失效时, 保护关断电路可以及时切断功率回路, 从而最大限度地减小由器

件失效对装置造成的破坏。在两类短路实验中, 保护关断电路均是充当短路实验平台中的最后一级防护, 因此其电路拓扑基本相同。文献[27-28]均采用大容量的 Si IGBT 作为保护关断电路的主开关器件, 通过合理分配其与待测器件驱动脉冲的时序, 实现对功率回路的保护关断, 可以在 SiC MOSFET 失效后的几 μs 内切断功率回路。

1.4 短路保护方法

除短路实验的设计以外, 短路保护方法同样是 SiC MOSFET 短路特性研究的重要环节。在 SiC MOSFET 的实际工程应用中, 往往需要针对其具体的运行工况设计相应的短路保护电路。目前, SiC MOSFET 的短路保护方法主要是在 IGBT 短路保护策略的基础上, 针对 SiC MOSFET 短路时表现出的外在特性进行的改进^[29]。

其中, 退饱和检测法是当前 SiC MOSFET 应用最多的短路保护方案。该方案通过检测漏源极之间的电压 V_{ds} 判断短路故障。短路发生瞬间, 电流快速上升, V_{ds} 随之升高, 当超过预先设定的“膝点”电压时, 即判定为短路故障。因此, 该方案需要设置一定的消隐时间来避免误检测, 其保护速度相对较慢^[29]。但该方案具有电路结构简单, 方便设计以及成本低的优势, 被广泛用于 IGBT 以及 SiC MOSFET 的短路保护。

源极寄生电感检测法是 SiC MOSFET 短路保护另一种为常见的短路保护方法。该方法通过检测短路时高的 di/dt 在源极寄生电感上产生的压降来判断回路是否发生短路故障, 检测速度相对较快。然而该方法针对不同类型的短路故障, 特别是在功率回路杂散电感较大的场合, 存在保护动作精度相对较低的问题^[23]。

此外, 栅极电荷检测法及罗氏线圈电流检测法同样能实现快速的短路检测。但若要在各种类型的短路故障下均能实现准确检测, 往往需要设计复杂的检测与控制电路, 因此在实际应用中还未被广泛使用^[30]。

通过改变以上保护方法的拓扑结构及控制策略, 可以使其在保护速度和精度方面得到一定程度的优化。然而, SiC MOSFET 短路耐受时长较短, 并且在短路故障后, 其特性存在一定程度的退化^[12]。如何评估短路保护方法的有效性, 依赖于对 SiC MOSFET 失效与退化机理的进一步研究。

2 短路失效机理研究现状

在不同实验条件下对 SiC MOSFET 进行单次短路实验时, 不断增加器件的短路时长直至其失效, 可以观察到以下 4 种失效状况, 如图 3 所示。

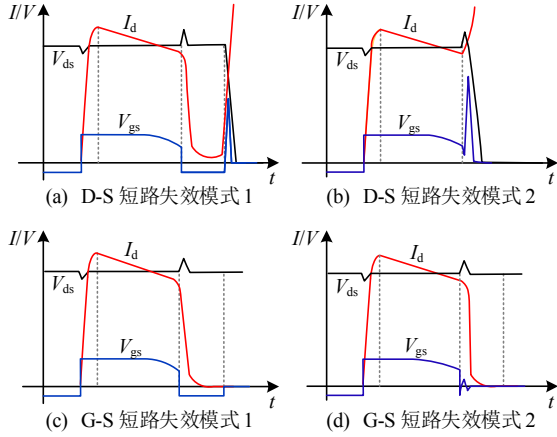


图 3 SiC MOSFET 短路失效波形

Fig. 3 SiC MOSFET short-circuit failure waveform

按照其失效结果可将其分为两类失效模式, D-S 短路失效模式(图 3(a)、(b))以及 G-S 短路失效模式(图 3(c)、(d))。当 SiC MOSFET 发生 D-S 短路失效模式时, 器件漏源极之间出现短路, 而栅源极以及栅漏极之间是否会发生故障, 目前还没有准确的论证结果; 若 SiC MOSFET 发生 G-S 短路失效模式, 器件的漏源极以及栅漏极往往不会受损, 而栅源极之间的绝缘特性会被破坏, 输入电阻由无穷大降低到十几 Ω 以内^[15]。对于两种失效模式, 分别存在两种典型失效现象: 立即失效(图 3(b)、(d)), 即器件还未关断即发生失效; 以及延迟失效(图 3(a)、(c)), 器件关断后的几个 μs 内发生失效。

目前国内外学者对两种模式下器件失效机理的探究已经从器件的表面封装深入到芯片的元胞结构。其失效点主要分为: JFET 区栅氧层、内部寄生 NPN 晶体管、沟道区栅氧层、栅极上方氧化层, 如图 4 所示。当①或②发生损坏时, 造成器件发生

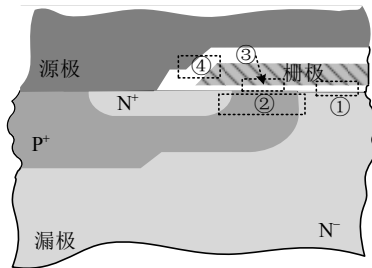


图 4 平面栅 SiC MOSFET 半元胞结构及短路失效点

Fig. 4 Planar SiC MOSFET half cell structure and short-circuit failure point

D-S 短路失效模式; 当③或④发生损坏时, 器件发生 G-S 短路失效模式。2.1 节将分别对两类失效模式失效机理的研究现状做详细的阐述。

2.1 D-S 短路

2.1.1 源极铝融化

D-S 短路是 SiC MOSFET 短路实验中较为常见的一种失效模式, 并且此类失效模式被普遍认为与热量相关^[31-32]。文献[15]指出, 短路过程中器件结温达到了上千开尔文温度, 早已达到并超过了铝的熔点。失效后通常可以观察到芯片出现烧毁, 芯片表面键合线与栅源极接触部分出现熔化, 如图 5(a)所示^[33]。文献[33]通过高速红外热像仪观察到短路过程中器件内部会形成一些“热点”, 如图 5(b)所示^[33]。这是由于器件制作工艺误差使得器件各元胞之间出现电流分布不均的现象, 进而导致局部热点的形成。这些热点的形成位置具有随机性, 并不一定在键合点处。因此, 键合点的烧毁并不一定是其失效的直接原因。文献[31]采用聚焦离子束技术 (focused ion beam, FIB)对器件熔化部位进行切割制样, 随后用扫描电子显微镜 (scanning electron microscope, SEM)观察制备好的失效样品。观察结果显示, 器件源极的金属铝出现熔化, 并且可以清晰的看到从源极延伸到栅极和漏极的一条裂缝, 如图 5(c)所示^[31]。由此认为, SiC MOSFET 短路失效的原因可能为高温引起源极铝熔化, 产生的应力破坏了 SiC MOSFET 部分元胞中栅极上方氧化层甚至栅氧层的绝缘结构, 导致器件出现不可控的短路失效。

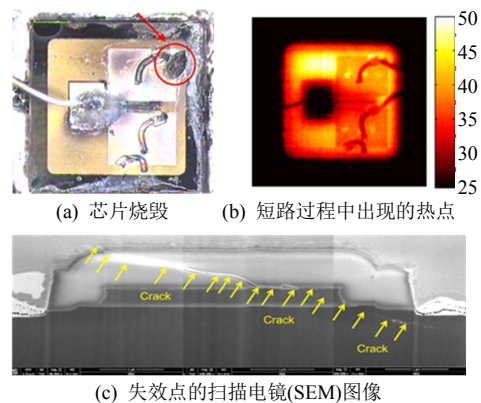


图 5 SiC MOSFET 失效分析

Fig. 5 SiC MOSFET failure analysis

2.1.2 JFET 区栅氧层击穿

文献[34]利用 Sentaurus TCAD 对器件建模, 随后对所建模型进行短路仿真。仿真结果显示, SiC

MOSFET 在短路过程中, JFET 区是热量产生的主要位置。因此, 该文献对短路状态下器件 JFET 区上方的栅氧层(图 4 中①)的可靠性提出质疑。文献[35]对另一型号 3.3kV 的 SiC MOSFET 进行单次短路失效实验, 随后对失效器件进行逆向分析, 观察到 JFET 区栅氧层出现了破坏, 如图 6 所示。然而, 该器件的耐压等级为 3.3kV, 尚处于研发阶段, 其失效的机理与目前商业化产品是否一致, 还需要做进一步的研究论证。

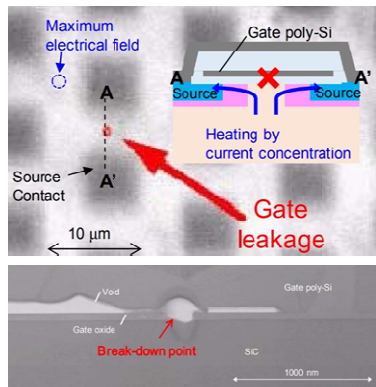


图 6 3.3kV SiC MOSFET 短路失效 SEM 图

Fig. 6 3.3kV SiC MOSFET short-circuit failure image

2.1.3 寄生 NPN 晶体管导通

在 SiC MOSFET 短路过程的后半阶段, 往往可以观察到其短路特性会发生变化。主要表现为短路电流出现“上翘”, 器件关断后电流并未迅速降到零, 而是出现了仅在双极性器件中才有的拖尾现象^[36]。文献[37]对此现象做出的解释为: 随着短路时长的增加, 器件温度不断上升, 致使由热引起的空穴电流逐渐增大, 从而产生电流“上翘”与关断后的拖尾现象。该文献进一步指出, 当短路时长较短、器件承受的电热应力较小时, 器件关断后, 空穴电流会逐渐减小到零; 若短路时长较长, 空穴电流会持续增大, 当达到一定量级时, 将触发图 4 中②区域寄生 NPN 晶体管的导通, 从而使得器件发生 D-S 短路失效。随后, 该文献作者通过 TCAD 仿真观察到了图 4 中②区域空穴电流的增加, 并且仿真观察到与实验结果相似的电流失控现象, 如图 7 所示^[37], 从而验证了 NPN 晶体管导通现象存在的可能性。同时, 该结论也可以解释 D-S 短路失效中另外一种延迟失效现象(图 3(a))。在此类失效模式下, 器件在关断后的延迟阶段, 电流并未降低到零, 而是存在几十 A 的泄漏电流。随后, 短路积累的热量与寄生 NPN 晶体管导通产生的电流形成正反馈, 导致器件无法正常关断, 进而引发热失控^[5]。

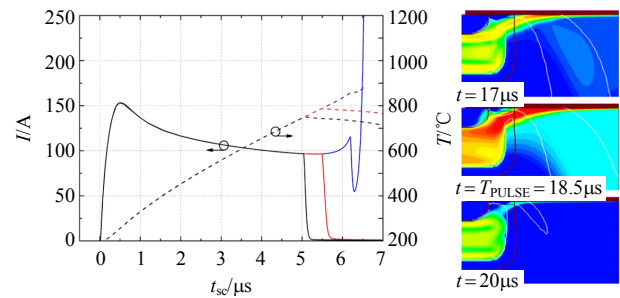


图 7 寄生 NPN 晶体管导通及空穴电流的产生

Fig. 7 Conduction of parasitic NPN transistor and generation of hole current

2.2 G-S 短路

在不同的短路实验条件下, 一些器件发生短路失效后并不会出现 D-S 短路失效模式, 而是在 G-S 之间表现出十几 Ω 的电阻特性, 甚至可能出现 G-S 之间完全短路的失效现象^[38]。对于此类短路失效模式, 目前研究结果中主要存在两种解释。

2.2.1 栅氧层击穿

MOSFET 作为一种典型的场控型器件, 在开通关断瞬间, 由于栅氧层等效电容的存在, 器件的栅极会产生较大的充放电电流, 而在开通关断过程以外, 栅极只会有一极小的漏电流存在。文献[39]通过对 SiC MOSFET 短路过程中栅极漏电流的监测发现, 随着短路时长的增加, 栅极漏电流(I_{gss})逐渐增大, 当增加母线电压时, I_{gss} 可达 200mA 以上, 最终导致栅源极之间出现短路, 如图 8 所示。该电流产生的原因, 已有一部分研究学者做了理论解释与实验验证, 主要归结为 FN 隧穿以及热电子发射^[39-41]。该结论表明, SiC MOSFET 在短路过程中由于受到栅极电场以及器件结温的共同作用, 使得栅氧层表面的电子隧穿效应以及热电子发射效应增强, 最终达到栅氧层的临界击穿值, 致使栅氧层发生击穿。

以上结论可以很好地拟合失效前栅极漏电流的大小及增长趋势, 但并没有明确界定引起栅氧层

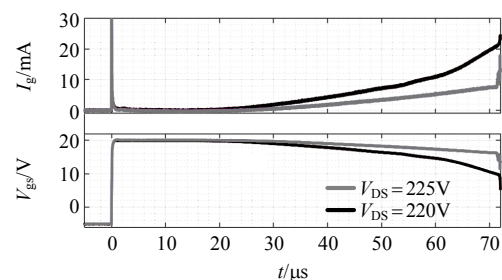


图 8 SiC MOSFET 短路时栅极电压与栅极漏电流

Fig. 8 Gate voltage and gate leakage current under short-circuit of SiC MOSFET

击穿临界值以及临界条件。因此,对于单次短路下栅氧层受到的应力是否会达到其击穿值,仍需要做进一步研究。

2.2.2 栅极上方氧化层断裂

本文 2.2.1 节中提到, SiC MOSFET 的短路过程虽然通常只有几 μs ,但短路过程中芯片结温早已超过了铝的熔点,从而造成源极铝熔化。文献[42]对短路后出现 G-S 短路的器件进行去封装处理,随后通过 FIB 对失效点进行切割制样,进一步观察失效点 SEM 图像,发现栅极上方的氧化层出现裂纹。为了验证裂纹产生的原因,笔者通过 TCAD 对器件进行建模仿真,发现短路过程中失效点上方的压强可以达到 2.8GPa,已经超过 SiO_2 的临界压强 1.4GPa,进而证明短路有可能造成氧化层断裂。为了验证裂纹是否引起 G-S 短路,作者进一步分别对裂纹部分(图 9 中 Spot 1)与正常氧化层部分(Spot 2)进行采样元素分析。观察发现,裂纹内部铝元素的含量显著增大,其元素占比高达 71.58%,如图 9 所示^[38]。因此得出结论,由于材料热膨胀系数的不同,短路过程中热量的积累使得氧化层上方的应力值增大进而压断氧化层,随后熔融态的铝通过裂缝渗入栅极,造成 G-S 之间呈现一个小电阻甚至出现短路。由于在 SiC MOSFET 关断后的一段时间内,结温仍然处在较高的状态,因此该现象亦可能发生在器件关断后的几个 μs 内,从而造成 G-S 短路失效模式的另一种失效现象,即延迟失效,如图 3(c)所示^[28]。该结论虽然不能解释 SiC MOSFET 特性退化与器件失效的必然关系,但这也是对其出现 G-S 短路失效模式较为准确的证明。

上述内容对 SiC MOSFET 单次短路出现两种失效模式的原因做了较为详细的阐释。与此同时,对于 SiC MOSFET 短路失效的影响因素,研究学者也做了大量的分析论证。主要的影响因素包括漏源

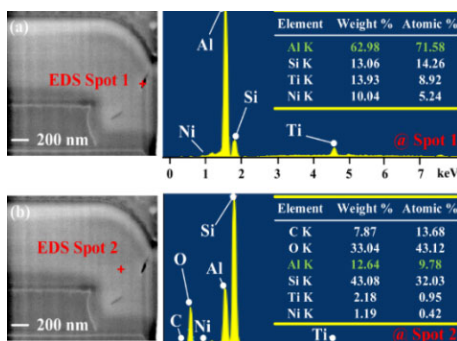


图 9 能谱分析(EDS)失效点的元素组成
Fig. 9 EDS spot, spectrum and the element composition

极电压 V_{ds} 、栅源极电压 V_{gs} 、器件壳温 T_c 以及结温上升速度 v_{Tj} 等方面。

2.3 影响因素

2.3.1 V_{ds} 的影响

SiC MOSFET 在发生短路故障时,加在器件漏源极之间的电压 V_{ds} 将直接决定器件短路时的功耗。 V_{ds} 越大,器件短路时的功耗越大,结温上升速度越快,势必会加速器件的失效。文献[37]在不同 V_{ds} 下对 SiC MOSFET 进行单次短路失效实验,发现增大 V_{ds} 不仅会加速器件失效,而且会严重影响器件的失效模式。本文对文献[18,43]中 8 组 SiC MOSFET 在不同 V_{ds} 下短路失效结果做了统计,如图 10 所示(图中字母和数字分别代表不同公司、不同型号的 SiC MOSFET)。可以看到,在较低的 V_{ds} 下,器件更容易发生 G-S 短路失效,而在较高 V_{ds} 下,器件更偏向于发生 D-S 短路失效。文献[43]在对耐压为 1200V 的两组 SiC MOSFET 在极限漏源电压 1000V 的条件下进行短路实验,两组器件均发生 D-S 短路失效。通过对 SiC MOSFET 进行 TCAD 仿真可以观察到,高的 V_{ds} 使得器件内部电场更强、碰撞电离率更高,更容易诱发寄生 NPN 导通,造成 D-S 短路失效模式。

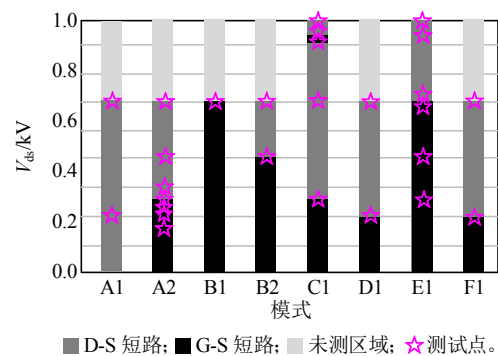


图 10 不同 V_{ds} 下 SiC MOSFET 短路失效模式总结
Fig. 10 Summary of short-circuit failure modes of SiC MOSFET under different V_{ds}

2.3.2 V_{gs} 的影响

V_{gs} 的增加会使 SiC MOSFET 的开通速度变快,饱和电流增大,同时栅氧层承受的电热应力也会增大。文献[28]对 Cree 第二代 SiC MOSFET 做了不同 V_{gs} 以及 V_{ds} 下的短路测试,观察到 600V 测试条件下,低栅压下的器件出现 D-S 短路失效,而高栅压下的器件则出现 G-S 短路失效。并且,同样的结论在文献[44]中得到了验证。因而可知,高的 V_{gs} 更容易造成器件出现 G-S 短路失效模式。此外,当逐渐

增加 V_{ds} 时, 文献[28]中的 3 组器件逐渐由 G-S 短路失效模式转向 D-S 短路失效模式, 如图 11 所示。由此可见, 相比于 V_{gs} , V_{ds} 对 SiC MOSFET 短路失效模式的影响更大。

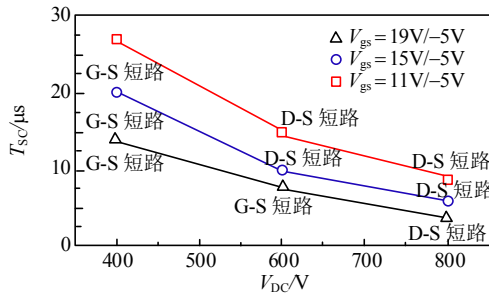


图 11 不同 V_{gs} 下 SiC MOSFET 短路失效模式
Fig. 11 SiC MOSFET short-circuit failure modes under different V_{gs}

2.3.3 T_c 的影响

相比于硅基器件, SiC MOSFET 的静态特性以及动态特性对温度的变化更加敏感, 使得器件在不同 T_c 下的开关性能存在较大的差异^[45]。然而, 短路状态下, SiC MOSFET 的自热速度非常快, 在开通后的几百 ns 内, 器件结温已经超过 T_c ^[46]。文献[47]对器件进行短路状态下的有限元仿真, 进而证实了这一点。随后文献[15]求解了器件短路失效时刻的热扩散方程, 观察到在短路的整个阶段, 器件的自热仅扩散 100 μm 左右, 而芯片自身的厚度在 180 μm 左右^[48]。由此可见, 器件在进行短路实验时, T_c 的大小只对开通的瞬间影响较大, 在短路后期, 器件的自热对其短路失效模式影响更大。

2.3.4 v_{Tj} 的影响

通过上述分析可以得到, SiC MOSFET 短路失效模式受 V_{ds} 和 V_{gs} 两方面的影响较大, 对单一影响因素进行分析可能存在较大的偏差。因此, 基于 V_{ds} 和 V_{gs} 的共同作用, 文献[37]提出一种结温上升速度决定失效模式的分析方法。如图 12 所示, 该文献界定了两个临界温度值 T_{deg} 以及 $T_{Thermal}$ 。器件短路过程中, 当结温达到 T_{deg} 时, 器件栅氧层开始出现退化, 退化至一定程度时, 栅氧层发生击穿, 造成器件出现 G-S 短路失效; 当器件结温超过 $T_{Thermal}$ 时, 由热引起的漏电流将不可控的增加, 从而引起器件发生 D-S 短路失效。器件栅氧层从退化到失效需要一定的积累时间 T_{ac} , 若在 T_{ac} 内器件结温上升较慢, 未达到 $T_{Thermal}$, 则造成 G-S 短路失效, 反之则造成 D-S 短路失效。以此作为决定两种失效模式的关键因素, 比单一的从 V_{ds} 以及 V_{gs} 来考虑要相对

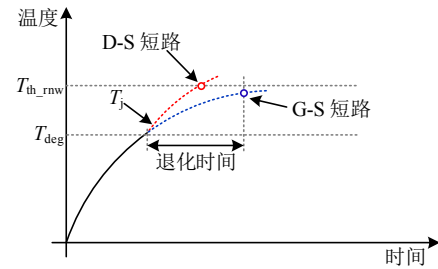


图 12 结温上升速度对 SiC MOSFET 短路失效模式的影响
Fig. 12 Influence of junction temperature rising speed on short-circuit failure modes of SiC MOSFET

更准确。然而, 对于临界温度 T_{deg} 与 $T_{Thermal}$ 的存在与否, 还需要做进一步验证。同时, T_{ac} 的取值也要依托器件的退化机理才可以确定, 故该评判方法亦存在一定的局限性。

对于 SiC MOSFET 短路失效模式影响因素的分析, 也有一些研究学者从其它方面进行了实验论证。文献[49]通过改变 R_g 观察其对短路实验波形的影响, 发现改变 R_g 仅仅影响器件开通关断的速度, 对其失效模式并无太大影响; 同样, 功率回路中寄生电感的大小主要影响短路电流的上升速度, 其取值的大小也并不是器件发生短路失效的决定性因素^[45]。

通过以上分析可以得到, 外加应力或参数的变化会对 SiC MOSFET 的短路特性以及失效结果造成不同程度的影响。然而, 在实际应用中, 使用者通常更为关注 SiC MOSFET 的短路耐受时长, 要求其在相应工况下有一定的短路耐受力。实验表明, 控制 V_{ds} 可以有效提升 SiC MOSFET 的短路耐受时长^[37,50]。文献[37]对 SiC MOSFET 进行 100~800V 漏源电压 (V_{ds}) 下的短路测试, 器件的单个短路耐受时长由 100 μs 以上降低至 5.5 μs 。因此, 在实际应用中往往需要对 SiC MOSFET 进行降额使用(一般采用器件额定 V_{ds} 的 50% 或 2/3)^[51]。一方面可以避免器件开关瞬间产生的漏源极过电压对其造成的伤害, 另一方面可以确保 SiC MOSFET 有一定的短路耐受力。

以上内容对 SiC MOSFET 短路失效机理的研究现状做了较为详细的概述。然而, 在 SiC MOSFET 的实际应用中, 回路一旦发生短路故障, 往往会触发短路保护继而及时将器件关断。因此, 器件在经历短路故障并安全关断后的可靠性问题, 同样极具研究价值。文献[8,12]表明, SiC MOSFET 在经历短路故障后, 器件特性会发生一定程度的退化。通过

对器件进行重复短路实验,可以加速器件特性的退化,从而推理验证其退化的根本机理。下面将对目前 SiC MOSFET 短路特性退化的研究现状做总结。

3 短路退化机理研究现状

SiC MOSFET 即使承受 $1\mu\text{s}$ 以内的短路应力,其电学特性也会发生退化^[52]。短路时间越长、重复次数越多, SiC MOSFET 的退化现象也越明显^[53-55]。目前,对于 SiC MOSFET 短路退化机理的解释主要为键合线的老化以及栅氧层的退化。

3.1 键合线老化

IGBT 在受到功率循环产生的热应力的反复冲击后,键合引线及键合点会出现疲劳老化^[60](图 13),其老化机理也已经被广泛研究^[56-58]。由于其工艺较为成熟, SiC MOSFET 的封装键合工艺大都沿用 IGBT。对于 SiC MOSFET 也已经有文献证明其在功率流产生的热应力冲击下,键合电阻会明显增大^[59-60]。而在短路应力条件下,流过键合线的功率流更强,温度梯度变化更大,势必会加速键合线及键合点的老化,降低器件以及整体系统的可靠性。目前,对于 SiC MOSFET 退化失效机理的研究大都针对 TO-247 单管封装形式的器件,其键合线退化的表征参数较难提取,故针对重复短路引起键合线老化的实验论证,目前还鲜有研究。

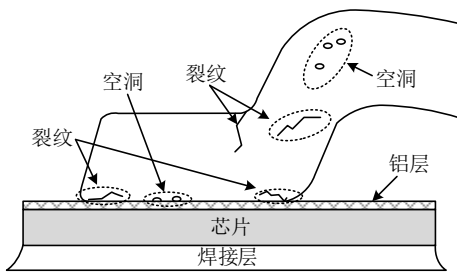


图 13 键合线与键合点的疲劳老化
Fig. 13 Fatigue modes in bond wires

3.2 栅氧层退化

SiC MOSFET 栅氧层的形成方式与硅基器件相同,均是由热氧化生长而成。但由于碳元素的存在,导致 SiC MOSFET 栅氧层中存在一定密度的陷阱。在一定条件下,这些陷阱会对栅氧层周围的电荷产生捕获与释放效应,进而引起栅介质电容、阈值电压、导通电阻以及泄露电流等多项电性能参数的不稳定和退化^[12,26,61]。其中,以对器件阈值电压影响的研究最为广泛。

SiC MOSFET 无论在正常工作还是一些相对苛

刻的可靠性测试条件下,如高温正栅偏(positive bias temperature instability, PBTI)以及高温负栅偏(negative bias temperature instability, NBTI),栅氧层陷阱的数量最终会保持在一定值^[62],表现为应力作用一定时间后, V_{th} 的偏移量会达到饱和,如图 14 所示^[63]。然而在重复短路实验下,随着短路次数的增加, V_{th} 的偏移量并不会出现饱和,反而会一直增大或减小直至器件失效,如图 15 所示^[55]。综述其原因,一方面是由于重复短路应力造成器件键合线发生老化,使得 V_{th} 出现不可恢复的偏移;另一方面,栅氧层退化对 V_{th} 造成的影响也已经被证实。目前,栅氧层退化的研究结果中主要包含两种退化机制:电荷的注入以及新界面态陷阱的产生。

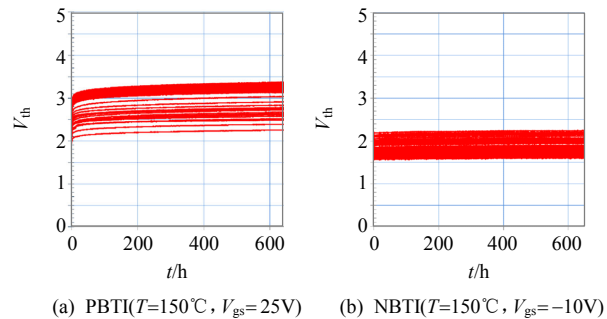


图 14 Cree 第二代 SiC MOSFET 可靠性测试结果
Fig. 14 Cree Gen2 SiC MOSFET reliability test results

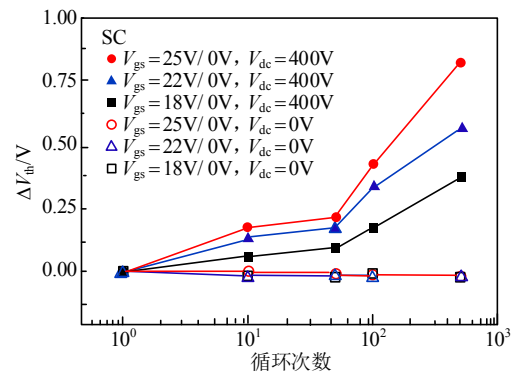


图 15 不同短路循环次数以及不同栅压下 SiC MOSFET V_{th} 的变化量

Fig. 15 ΔV_{th} of the SiC MOSFETs stressed by different SC cycles and gate bias conditions

3.2.1 电荷的注入效应

目前,商业化的 SiC MOSFET 在阻断状态下,栅极漏电流均在 $1\mu\text{A}$ 以内,而在短路过程中,栅极电流可以达 200mA 以上。由此可知,短路过程中有大量电荷穿过栅氧层,从而形成栅极漏电流。然而,由于栅氧层中陷阱的存在,使得电荷在穿过栅氧层的过程中部分电荷被陷阱捕获,形成电荷的注

入效应。注入栅氧层的电荷改变了陷阱的带电性质，从而造成 V_{th} 偏移。文献[54]对 1200V SiC MOSFET 进行不同次数的重复短路实验，观察到 V_{th} 随重复短路次数的增加而不断增大，进而解释为沟道区高能电子注入到栅氧层；文献[53]对 SiC MOSFET 进行不同时间的重复短路实验，观察到 V_{th} 存在两种偏移现象，如图 16 所示。当短路脉冲较长时，器件 V_{th} 随重复短路次数的增加而增大，这与文献[54]得到的结果相一致，同样可以解释为有沟道电子注入到栅氧层中。然而，当短路脉冲较短时，增加重复短路次数， V_{th} 逐渐减小。随后，作者通过仿真观察到，随着短路时长的增加，SiC MOSFET 漂移区的碰撞电离率逐渐降低，而沟道区碰撞电离率逐渐升高，从而推断出，当短路脉冲较短时，漂移区碰撞电离产生的空穴可能被电场加速漂移至栅氧层，进而被空穴陷阱所捕获，造成 V_{th} 的减小。热载流子(热电子以及热空穴)的注入与器件 V_{ds} 以及结温有很大的耦合相关性。当增加 V_{ds} 时，器件的结温上升速度也会加快，此时两种热载流子注入效应均有可能增强，使得 V_{th} 偏移的机理变得更加复杂。

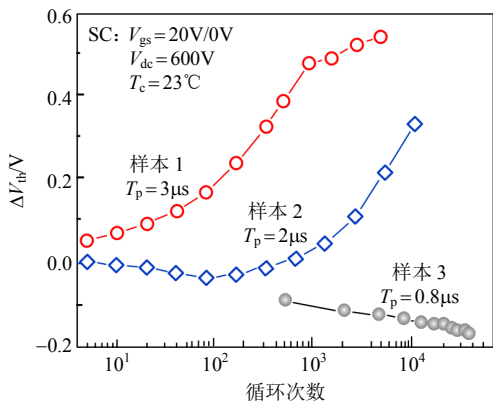


图 16 不同时间的短路脉冲下 V_{th} 的变化趋势

Fig. 16 The variation trend of V_{th} under different short-circuit pulse widths

文献[8]表明，注入栅氧层的电荷在施加一定的应力条件后，理论上可以被重新释放。通过对出现短路退化的 SiC MOSFET 进行 200°C 高温储存 12h 后， V_{th} 有了一定程度的恢复，从而证明被栅氧层陷阱捕获的电荷在高温下有一部分被重新释放。

3.2.2 新界面态陷阱的产生

由于栅氧层中陷阱的存在形式以及存在的位置不同，导致其对电荷的捕获与释放能力也有较大的差异。其中位于 SiO_2/SiC 界面以及近界面处的界

面态陷阱最为活跃，并且，其密度等级要比 Si MOSFET 高出 2~3 个数量级^[53]。在 SiC MOSFET 开关过程中，这些界面态陷阱中的电子陷阱会捕获/释放电子，同样也存在空穴陷阱会捕获/释放空穴。这种界面态陷阱的“充放电”行为直接导致了器件 V_{th} 的不稳定。然而，在短路状态下，较高的结温以及较大的电流密度使得沟道电子具有很高的能量，进而激发栅氧层产生新的界面态陷阱，使得栅氧层发生不可逆的退化，最终导致器件失效^[19]。界面态陷阱数量的变化可以通过电荷泵界面探测法(CP法)进行探测。通过观察泵升电流(I_{CP})曲线在应力前后的变化趋势来表征界面态陷阱的变化情况^[64-65]。当栅氧层退化只发生电荷注入时，注入的电荷会在全栅压范围内造成影响，表现为 I_{CP} 曲线的偏移，但并不会影响 I_{CP} 的峰值(I_{peak})，而新界面态陷阱的产生则会引起 I_{peak} 增大^[19]。文献[51]对 SiC MOSFET 进行重复短路实验后，不仅观察到了 I_{CP} 曲线的偏移，其 I_{peak} 值也随重复短路次数的增加而增大，从而证明栅氧层的退化形式除电荷的注入外，还伴随有新的界面态陷阱产生。

3.3 退化区域的确定

SiC MOSFET 短路状态下，沟道区的栅氧层(图 4 中③)与 JFET 区的栅氧层(图 4 中①)同时承受高温、高压以及高电流密度的应力，因此均有可能发生退化。分段 C-V 界面探测法可以根据不同栅压下沟道区与 JFET 区耗尽层的不同状态来判断两区域栅氧层的退化情况^[66-68]。文献[51]对经历重复短路应力后的 SiC MOSFET 进行 C-V 曲线的测试，发现曲线在 II 区域发生了明显的右移，如图 17 所示。该测试区域下，器件沟道区逐渐耗尽而 JFET 区仍然保持积累状态。因此，曲线的右移表明沟道

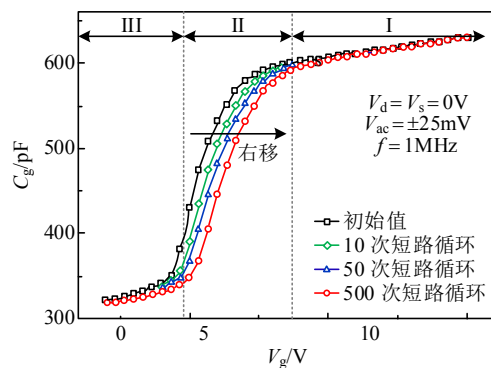


图 17 SiC MOSFET 在不同短路循环次数下的 C_g-V_g 曲线

Fig. 17 C_g-V_g curves of SiC MOSFET under different short-circuit stress times

区栅氧层有负电荷注入。相反,反映 JFET 区栅氧层退化情况的 III 区域却没有明显变化。从而可以证明, SiC MOSFET 在重复短路应力下,退化现象主要发生在沟道区栅氧层,而 JFET 区栅氧层几乎没有发生退化。

综上所述, SiC MOSFET 短路特性退化主要表现为键合线老化以及栅氧层的退化。栅氧层退化的原因主要归结为电荷的注入以及新界面态陷阱的产生,并且已经证明新界面态陷阱产生的区域主要为沟道区栅氧层, JFET 区栅氧层未出现明显退化。

4 研究展望

SiC MOSFET 的短路失效与退化机理虽然已经从多个角度被诠释,但对于多种失效机理存在的准确性与普遍性,仍需做进一步论证。并且,失效与退化机理同外加应力的关系仍未形成系统的理论。因此,想要充分发挥 SiC MOSFET 短路失效与退化机理研究具有的潜在价值,还需要开展大量的研究工作。下面将针对 SiC MOSFET 短路失效与退化机理以及机理指导应用两个角度的相关技术研究,列举几点核心挑战以及前景展望。

1) 退化程度与外加应力关系的建立。

SiC MOSFET 存在多种短路失效模式,器件特性退化的机制也较为复杂。尽管其失效退化机理已经逐渐清晰,但特性退化程度却依旧无法定量标定,退化程度与所加应力强度、作用时间的具体关系目前也罕有针对性研究。同时,短路过程中电压电流震荡带了的额外应力对器件失效与退化的影响同样具有研究价值。明确退化程度与应力的关系不仅能够指导使用者合理调整应力条件,提高器件工况下的短路耐受力,同时能够及时判定器件的健康状态,提高器件自身以及整体装置可靠性。

2) 短路保护安全工作区的界定。

SiC MOSFET 高开关速度以及大电流密度的特性使得器件短路状态下承受更强的电热应力。即便可以对器件进行安全的短路保护关断,但特性退化现象无法避免。准确评价短路保护策略是否有效、是否满足装置整体的可靠性要求,是系统可靠运行的重要保障。因此,依据 SiC MOSFET 短路失效与特性退化机理建立器件的短路保护安全工作区^[69],将成为 SiC MOSFET 的研究热点。

3) “智能”短路保护策略的设计。

为了尽可能减小短路对器件造成的损伤,一方

面可以透过失效机理找到器件的薄弱点,改善芯片的结构,提高器件的短路耐受力;另一方面,可以结合 SiC MOSFET 内部退化的外部表征量来设计短路保护策略。依据短路不同阶段各个物理参量的变化机理,调整短路保护的動作,使其能够更快更安全的进行短路关断。随着电力电子系统逐渐高频化的发展趋势,该研究将成为改善系统可靠性的有效途径。

4) 高性能封装技术的研究。

SiC MOSFET 传统封装的局限性不仅是制约器件性能优势的主要障碍,同样也是导致器件短路失效的重要因素。为此,需要开发低杂散参数的封装技术,如端子直连(direct lead bonding, DLB)的焊接技术、埋入式封装结构,以提高器件的开关性能,降低短路瞬间的冲击应力;采用双面散热、三维(3D)封装等新式的散热设计,以提升 SiC MOSFET 高温可靠性,降低短路应力下高温导致器件失效的概率。因此,改善器件封装工艺亦是 SiC MOSFET 短路研究的重要手段以及发展方向之一^[70-71]。

随着 SiC MOSFET 短路失效与特性退化机理的逐渐清晰,依据其失效与退化机理进一步指导器件工艺的优化、短路保护的设计、可靠性分析以及寿命预测将成为一个重要的研究趋势。

5 结论

SiC MOSFET 作为未来电力电子装置的核心之一,其“健康”与否直接关系到电力电子装置能否安全可靠地运行。因此,针对 SiC MOSFET 短路失效机理以及器件可靠性问题的研究,持续吸引着国内外学者、企业的关注。本文首先对 SiC MOSFET 可能发生的 3 种短路故障做了全面的对比分析。在此基础上,归纳了目前存在的两种短路失效模式,对 SiC MOSFET 单次短路失效机理的研究现状做了系统的梳理,并对失效模式的影响因素进行深入分析。随后,总结了 SiC MOSFET 在重复短路应力下器件特性退化的本质机理,对栅氧层的退化区域进行判定。最后从多个层面对 SiC MOSFET 短路失效与特性退化机理的研究难点与应用趋势进行展望,为高性能高可靠性器件的设计应用与可靠性研究提供参考。

参考文献

[1] PUSCHKARSKY K, GRASSER T, AICHINGER T, et

- al. Review on SiC MOSFETs high-voltage device reliability focusing on threshold voltage instability[J]. IEEE Transactions on Electron Devices, 2019, 66(11): 4604-4616.
- [2] 盛况, 郭清, 张军明, 等. 碳化硅电力电子器件在电力系统的应用展望[J]. 中国电机工程学报, 2012, 32(30): 1-7.
SHENG Kuang, GUO Qing, ZHANG Junming, et al. Application prospect of silicon carbide power electronic devices in power system[J]. Proceedings of the CSEE, 2012, 32(30): 1-7(in Chinese).
- [3] 曾正, 邵伟华, 胡博容, 等. SiC 器件在光伏逆变器中的应用与挑战[J]. 中国电机工程学报, 2017, 37(1): 221-233.
ZENG Zheng, SHAO Weihua, HU Borong, et al. Application and challenge of SiC devices in photovoltaic inverter[J]. Proceedings of the CSEE, 2017, 37(1): 221-233(in Chinese).
- [4] 王学梅. 宽禁带碳化硅功率器件在电动汽车中的研究与应用[J]. 中国电机工程学报, 2014, 34(3): 371-379.
WANG Xuemei. Research and application of wide-gap silicon carbide power devices in electric vehicles[J]. Proceedings of the CSEE, 2014, 34(3): 371-379(in Chinese).
- [5] CECCARELLI L, REIGOSA P D, IANNUZZO F, et al. A survey of SiC power MOSFETs short-circuit robustness and failure mode analysis[J]. Microelectronics Reliability, 2017, 76: 272-276.
- [6] SANTINI T, SEBASTIEN M, FLORENT M, et al. Gate oxide reliability assessment of a SiC MOSFET for high temperature aeronautic applications[C]//2013 IEEE ECCE. Asia Downunder: 2013: 385-391.
- [7] SINGH R. Reliability and performance limitations in SiC power devices[J]. Microelectronics Reliability, 2006, 46(5): 713-730.
- [8] ZHOU X, SU H, WANG Y, et al. Investigations on the degradation of 1.2kV 4H-SiC MOSFETs under repetitive short-circuit tests[J]. IEEE Transactions on Electron Devices, 2016, 63(11): 4346-4351.
- [9] MAXIME B, REMY O, THIBAUT C, et al. Electrical performances and reliability of commercial SiC MOSFETs at high temperature and in SC conditions [C]//2015 17th European Conference on Power Electronics and Applications (EPE'15-ECCE-Europe). Geneva, Switzerla: IEEE, 2015: 1-9.
- [10] BOIGE F, RICARDEAU F. Gate leakage-current analysis and modelling of planar and trench power SiC MOSFET devices in extreme short-circuit operation[J]. Microelectronics Reliability, 2017, 76: 532-538.
- [11] 邵伟华, 冉立, 曾正, 等. SiC MOSFET 短路特性评估及其温度依赖性模型[J]. 中国电机工程学报, 2018, 38(7): 2121-2131.
SHAO Weihua, RAN Li, ZENG Zheng, et al. Short circuit characteristic evaluation of SiC MOSFET and its temperature dependent model[J]. Proceedings of the CSEE, 2018, 38(7): 2121-2131(in Chinese).
- [12] DU H, DIAZ REIGOSA P, CECCARELLI L, et al. Impact of repetitive short-circuit tests on the normal operation of SiC MOSFETs considering case temperature influence[J]. IEEE Journal of Emerging and Selected Topics in Power Electronics, 2020, 8(1): 195-205.
- [13] BOIGE F, RICARDEAU F, et al. Investigation on damaged planar-oxide of 1200V SiC power MOSFETs in non-destructive short-circuit operation[J]. Microelectronics Reliability, 2017, 76: 500-506.
- [14] AN J, NAMAI M, IWAMURO N. Experimental and theoretical analyses of gate oxide and junction reliability for 4H-SiC MOSFET under short-circuit operation[J]. Japanese Journal of Applied Physics, 2016, 55(12): 102-124.
- [15] WANG Z, SHI X, TOLBERT L M, et al. Temperature-dependent short-circuit capability of silicon carbide power MOSFETs[J]. IEEE Transactions on Power Electronics, 2016, 31(2): 1555-1566.
- [16] 周郁明, 蒋保国, 刘航志, 等. 包含 SiC/SiO₂ 界面电荷的 SiC MOSFET 的 SPICE 模型[J]. 中国电机工程学报, 2019, 39(19): 5604-5612.
ZHOU Yuming, JIANG Baoguo, LIU Hangzhi, et al. SPICE model for SiC MOSFET containing SiC/SiO₂ interface charge[J]. Proceedings of the CSEE, 2019, 39(19): 5604-5612(in Chinese).
- [17] RICCIO M, D ALESSANDRO V, ROMANO G, et al. A temperature-dependent SPICE model of SiC power MOSFETs for within and Out-of-SOA simulations[J]. IEEE Transactions on Power Electronics, 2018, 33(9): 8020-8029.
- [18] BOIGE F, RICARDEAU F, LEFEBVRE S, et al. Ensure an original and safe "fail-to-open" mode in planar and trench power SiC MOSFET devices in extreme short-circuit operation[J]. Microelectronics Reliability, 2018, 88: 598-603.
- [19] 魏家行. 碳化硅基功率 MOSFET 可靠性机理及模型研究[D]. 南京: 东南大学, 2019.
WEI Jiaxing. Study on reliability mechanism and model of silicon carbide based power MOSFET[D]. Nanjing: Southeast University, 2019(in Chinese).
- [20] KAMPITSIS G, PAPATHANASSIOU S, MANIAS S. Comparative evaluation of the short-circuit withstand capability of 1.2kV silicon carbide (SiC) power transistors in real life applications[J]. Microelectronics Reliability,

- 2015, 55(12): 2640-2646.
- [21] JI S, LAITINEN M, HUANG X, et al. Short-Circuit Characterization and Protection of 10kV SiC MOSFET[J]. IEEE Transactions on Power Electronics, 2019, 34(2): 1755-1764.
- [22] LUTZ J, BASLER T. Short-circuit ruggedness of high-voltage IGBTs[C]//2012 28th International Conference on Microelectronics Proceedings. Nis, Serbia: IEEE, 2012: 243-251.
- [23] WANG Z, SHI X, XUE Y, et al. Design and performance evaluation of overcurrent protection schemes for silicon carbide (SiC) power MOSFETs[J]. IEEE Transactions on Industrial Electronics, 2014, 61(10): 5570-5581.
- [24] PÉREZ-TOMÁS A, BROSSELDARD P, GODIGNON P, et al. Field-effect mobility temperature modeling of 4H-SiC metal-oxide-semiconductor transistors[J]. Journal of Applied Physics, 2006, 100(11): 508-514.
- [25] 孙佳慧. 1200V SiC MOSFET 与 Si IGBT 的短路可靠性对比和分析[D]. 杭州: 浙江大学, 2017.
SUN Jiahui. Comparison and Analysis of Short Circuit Capability of 1200V SiC MOSFET and Si IGBT[D]. Hangzhou: Zhejiang University, 2017(in Chinese).
- [26] ROMERO A, BURGOS R. Non-destructive and destructive short circuit characterization of a high-current SiC MOSFET[C]//2018 IEEE Energy Conversion Congress and Exposition (ECCE). Portland, USA: IEEE, 2018: 862-867.
- [27] DU H, REIGOSA P D, IANNUZZO F, et al. Investigation on the degradation indicators of short-circuit tests in 1.2kV SiC MOSFET power modules[J]. Microelectronics Reliability, 2018, 88: 661-665.
- [28] JIANG X, WANG J, LU J, et al. Failure modes and mechanism analysis of SiC MOSFET under short-circuit conditions[J]. Microelectronics Reliability, 2018, 88: 593-597.
- [29] 吴海富, 张建忠, 赵进, 等. SiC MOSFET 短路检测与保护研究综述[J]. 电工技术学报, 2019, 34(21): 4519-4528.
WU Fuhai, ZHANG Jianzhong, ZHAO Jin. Review of short-circuit detection and protection of silicon carbide MOSFETs[J]. Proceedings of the CSEE, 2019, 34(21): 4519-4528(in Chinese).
- [30] MAERZ A, BERTELSHOFER T, HORFF R, et al. Requirements of short-circuit detection methods and turn-off for wide band gap semiconductors[C]//9th International Conference on Integrated Power Electronics Systems (CIPS 2016). Nuremberg, Germany. 2016: 1-6.
- [31] REIGOSA P D, IANNUZZO F, CECCARELLI L. Effect of short-circuit stress on the degradation of the SiO₂ dielectric in SiC power MOSFETs[J]. Microelectronics Reliability, 2018, 88: 577-583.
- [32] HUANG X, WANG G, LI Y, et al. Short-circuit capability of 1200V SiC MOSFET and JFET for fault protection [C]//2013 Twenty-Eighth Annual IEEE Applied Power Electronics Conference and Exposition (APEC). Long Beach, USA: IEEE, 2013: 197-200.
- [33] RICCIO M, CASTELLAZZI A, DE FALCO G, et al. Experimental analysis of electro-thermal instability in SiC Power MOSFETs[J]. Microelectronics Reliability, 2013, 53(9): 1739-1744.
- [34] ROMANO G, MARESCA L, RICCIO M, et al. Short-circuit failure mechanism of SiC power MOSFETs [C]//2015 IEEE 27th International Symposium on Power Semiconductor Devices & ICs (ISPSD). Hong Kong, China: IEEE, 2015: 345-348.
- [35] TANI K, SAKANO J, SHIMA A. Analysis of short-circuit break-down point in 3.3kV SiC-MOSFETs[C]//2018 IEEE 30th International Symposium on Power Semiconductor Devices and ICs (ISPSD). Chicago, IL: IEEE, 2018: 383-386.
- [36] MBAREK S, DHERBÉCOURT P, LATRY O, et al. Short-circuit robustness test and in depth microstructural analysis study of SiC MOSFET[J]. Microelectronics Reliability, 2017, 76: 527-531.
- [37] ROMANO G, FAYYAZ A, RICCIO M, et al. A Comprehensive study of short-circuit ruggedness of silicon carbide power MOSFETs[J]. IEEE Journal of Emerging and Selected Topics in Power Electronics, 2016, 4(3): 978-987.
- [38] CHEN C, LABROUSSE D, LEFEBVRE S, et al. Study of short-circuit robustness of SiC MOSFETs, analysis of the failure modes and comparison with BJTs[J]. Microelectronics Reliability, 2015, 55(9): 1708-1713.
- [39] BOIGE F, TREMOUILLES D, RICARDEAU F. Physical origin of the gate current surge during short-circuit operation of SiC MOSFET[J]. IEEE Electron Device Letters, 2019, 40(5): 666-669.
- [40] LE-HUU M, SCHMITT H, NOLL S, et al. Investigation of the reliability of 4H-SiC MOS devices for high temperature applications[J]. Microelectronics Reliability, 2011, 51(8): 1346-1350.
- [41] MUHAMMAD N. On the Evaluation of gate dielectrics for 4H-SiC based power MOSFETs[J]. Active & Passive Electronic Components, 2015, 2015: 1-12.
- [42] LIU J, ZHANG G, WANG B, et al. Gate failure physics of SiC MOSFETs under short-circuit stress[J]. IEEE Electron Device Letters, 2020, 41(1): 103-106.
- [43] PAPPIS D, ZACHARIAS P. Failure modes of planar and trench SiC MOSFETs under single and multiple short circuits conditions[C]//2017 19th European Conference on

- Power Electronics and Applications (EPE'17-ECCE-Europe). Warsaw, Poland: IEEE, 2017: 1-11.
- [44] NAMAI M, AN J, YANO H, et al. Investigation of short-circuit failure mechanisms of SiC MOSFETs by varying DC bus voltage[J]. Japanese Journal of Applied Physics, 2018, 57(7): 1-11.
- [45] AWWAD A E, DIECKERHOFF S. Short-circuit evaluation and overcurrent protection for SiC power MOSFETs[C]//2015 17th European Conference on Power Electronics and Applications (EPE'15-ECCE-Europe). Geneva: IEEE, 2015: 1-9.
- [46] ZHOU Y, LIU H, MU S, et al. Short-circuit failure model of SiC MOSFET including the interface trapped charges[J]. IEEE Journal of Emerging and Selected Topics in Power Electronics, 2020, 8(1): 90-98.
- [47] CASTELLAZZI A, FAYYAZ A, ROMANO G, et al. SiC power MOSFETs performance, robustness and technology maturity[J]. Microelectronics Reliability, 2016, 58:164-176.
- [48] SUN J, YANG S, XU H, et al. High-temperature characterization of a 1.2kV SiC MOSFET using dynamic short-circuit measurement technique[J]. IEEE Journal of Emerging and Selected Topics in Power Electronics, 2020, 8(1): 215-222.
- [49] CUI M, LI J, DU Y, et al. Behavior of SiC MOSFET under short-circuit during the on-state[J]. IOP Conference Series: Materials Science and Engineering, 2018, 439: 1-11.
- [50] PAPPIS D, DE MENEZES L, ZACHARIAS P. Comparison of the short circuit capability of planar and trench SiC MOSFETs[C]//2017 International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy (PCIM). Nürnberg, Deutschland: VDE, 2017: 1-9.
- [51] ENI P, KERKES T, UHRENFELDT C, et al. Design of low impedance busbar for 10kV, 100A 4H-SiC MOSFET short-circuit tester using axial capacitors[C]//2015 IEEE 6th International Symposium on Power Electronics for Distributed Generation Systems (PEDG). Aachen, Germany: IEEE, 2015: 1-5.
- [52] SUN J, WEI J, ZHENG Z, et al. Short circuit capability and short circuit induced instability of a 1.2kV SiC power MOSFET[J]. IEEE Journal of Emerging and Selected Topics in Power Electronics, 2019, 7(3): 1539-1546.
- [53] 周郁明, 穆世路, 蒋保国, 等. SiC/SiO₂ 界面态电荷对 SiC MOSFET 短路特性影响的研究[J]. 电子科技大学学报, 2019, 48(6): 947-953.
- ZHOU Yuming, MU Shilu, JIANG Baoguo, et al. Effect of interfacial state charge on short circuit characteristics of SiC/SiO₂ MOSFET[J]. Journal of University of Electronic Science and Technology of China, 2019, 48(6): 947-953(in Chinese).
- [54] WANG J L, GENG K W, CHEN Y Q, et al. Trap analysis based on low-frequency noise for SiC power MOSFETs under repetitive short-circuit stress[J]. IEEE Journal of the Electron Devices Society, 2020, 8: 145-151.
- [55] WEI J X, LIU S Y, YANG L, et al. Comprehensive analysis of electrical parameters degradations for SiC power MOSFETs under repetitive short-circuit stress[J]. IEEE Transactions on Electron Devices, 2018, 65(12): 5440-5447.
- [56] 王学梅, 张波, 吴海平. 基于失效物理的功率器件疲劳失效机理[J]. 电工技术学报, 2019, 34(4): 717-727.
- WANG Xuemei, ZHANG Bo, WU Haiping. Fatigue failure mechanism of power devices based on failure physics[J]. Transactions of China Electrotechnical Society, 2019, 34(4): 717-727(in Chinese).
- [57] SMET V, FOREST F, HUSELSTEIN J-J, et al. Ageing and failure modes of IGBT modules in high-temperature power cycling[J]. IEEE Transactions on Industrial Electronics, 2011, 58(10): 4931-4941.
- [58] 赖伟, 陈民铀, 冉立, 等. 老化试验条件下的 IGBT 失效机理分析[J]. 中国电机工程学报, 2015, 35(20): 5293-5300.
- LAI Wei, CHEN Minyou, RAN Li, et al. Failure mechanism analysis of IGBT under aging test conditions[J]. Proceedings of the CSEE, 2015, 35(20): 5293-5300(in Chinese).
- [59] LUO H, IANNUZZO F, TURNATURI M. Role of threshold voltage shift in highly accelerated power cycling tests for SiC MOSFET modules[J]. IEEE Journal of Emerging and Selected Topics in Power Electronics, 2019: 1-9.
- [60] LUO H, IANNUZZO F, BLAABJERG F, et al. Separation test method for investigation of current density effects on bond wires of SiC power MOSFET modules[C]//IECON 2017-43rd Annual Conference of the IEEE Industrial Electronics Society. Beijing, China: IEEE, 2017: 1525-1530.
- [61] MBAREK S, FOUQUET F, et al. Gate oxide degradation of SiC MOSFET under short-circuit aging tests[J]. Microelectronics Reliability, 2016, 64: 415-418.
- [62] SOMETANI M, OKAMOTO M, HATAKEYAMA T, et al. Accurate evaluation of fast threshold voltage shift for SiC MOS devices under various gate bias stress conditions[J]. Japanese Journal of Applied Physics, 2018, 57(4): 1-7.
- [63] LIN CHENG, JOHN W. Cree SiC power MOSFET technology: Present status and future perspective [EB/OL]. USA, Cree, Inc. 2014[2020-04-03]. <https://>

user.eng.umd.edu/.

- [64] LIU S, GU C, WEI J, et al. Repetitive unclamped inductive-switching-induced electrical parameters degradations and simulation optimizations for 4H-SiC MOSFETs[J]. IEEE Transactions on Electron Devices, 2016, 63(11): 4331-4338.
- [65] OKAMOTO D, YANO H, HATAYAMA T, et al. Analysis of anomalous charge-pumping characteristics on 4H-SiC MOSFETs[J]. IEEE Transactions on Electron Devices, 2008, 55(8): 2013-2020.
- [66] SHRESTHA P R, CHEUNG K P, CAMPBELL J P, et al. Accurate fast capacitance measurements for reliable device characterization[J]. IEEE Transactions on Electron Devices, 2014, 61(7): 2509-2514.
- [67] WEI J, LIU S, YE R, et al. Interfacial damage extraction method for SiC power MOSFETs based on C-V characteristics[C]//2017 29th International Symposium on Power Semiconductor Devices and ICs (ISPSD). Sapporo, Japan: IEEE, 2017: 359-362.
- [68] MARESCA L, MATA CENA I, RICCIO M, et al. Influence of the SiC/SiO₂ SiC MOSFET interface traps distribution on C-V measurements evaluated by TCAD simulations[J]. IEEE Journal of Emerging and Selected Topics in Power Electronics, 2019: 1-9.
- [69] REIGOSA P D, IANNUZZO F, LUO H, et al. A short-circuit safe operation area identification criterion for SiC MOSFET power modules[J]. IEEE Transactions on Industry Applications, 2017, 53(3): 2880-2887.
- [70] 盛况, 董泽政, 吴新科. 碳化硅功率器件封装关键技术综述及展望[J]. 中国电机工程学报, 2019, 39(19):

5576-5584.

SHENG Kuang, DONG Zezheng, WU Xinke. Review and prospect of key packaging technologies for silicon carbide power devices[J]. Proceedings of the CSEE, 2019, 39(19): 5576-5584(in Chinese).

- [71] LEE H, SMET V, TUMMALA R. A review of SiC power module packaging technologies: challenges, advances, and emerging issues[J]. IEEE Journal of Emerging and Selected Topics in Power Electronics, 2020, 8(1): 239-255.



康建龙

在线出版日期: 2020-10-27.

收稿日期: 2020-06-02.

作者简介:

康建龙(1995), 男, 博士研究生, 主要从事 SiC MOSFET 器件可靠性方面的研究工作, 201821401026@stu.hebut.edu.cn;

*通信作者: 辛振(1988), 男, 教授, 博士生导师, 研究方向为电力电子系统状态感知、功率半导体器件的失效机理与可靠性评估、以及电力电子系统的健康状态管理, xzh@hebut.edu.cn;

陈建良(1990), 男, 博士, 讲师, 研究方向为高功率密度变换器的设计、软开关技术、以及宽禁带半导体器件在电力电子变换器中的应用, chenjl@hebut.edu.cn.

(责任编辑 吕鲜艳)

Review and Prospect of Short-circuit Failure and Degradation Mechanism of SiC MOSFET

KANG Jianlong¹, XIN Zhen^{1*}, CHEN Jianliang¹, WANG Huai², LI Wuhua³
(1. Hebei University of Technology; 2. Aalborg University; 3. Zhejiang University)

KEY WORDS: SiC MOSFET; short-circuit fault; failure mechanism; degradation; repetitive short-circuit stress

SiC MOSFETs are widely used in power electronics applications, e.g., electric vehicles, railway traction, and renewable energy, thanks to their superior physical properties. However, compared with traditional silicon-based devices, SiC MOSFETs have shorter short-circuit (SC) withstand time, more serious characteristic degradation and more complicated SC failure mechanism, which limits the popularization and application. In order to improve the reliability of the entire system, we need to explore the SC failure and degradation mechanisms.

Before analyzing the SiC MOSFETs failure mechanism, it is necessary to understand the types of SC faults and SC characteristic. The SC test principle and typical waveform are shown in Fig. 1. To explore the SiC MOSFETs SC failure and degradation mechanisms, we need to design destructive and non-destructive SC tests out of different experimental purposes.

The failure results can be divided into D-S SC failure mode and G-S SC failure mode after the SiC MOSFETs destructive SC tests. In the SiC MOSFETs cell (Fig. 2), we can see the corresponding position of failure points. High electrothermal stress will be generated inside the device during the SiC MOSFETs SC process, so that the insulating structure of the device cell may be destroyed. If the stress breaks the ④ area

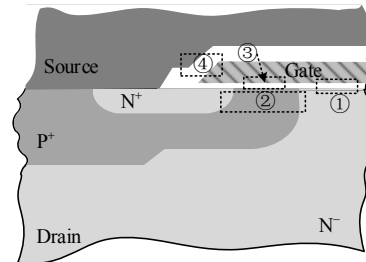


Fig. 2 Planar SiC MOSFET half cell structure and short-circuit failure point

(Fig. 2), it will cause G-S SC failure. If the stress is too large, the gate oxide layer (① area in Fig. 2) will also be destroyed, and it will cause D-S SC failure. Some literatures indicate that due to the low reliability, the gate oxide of SiC MOSFETs may be broken during the SC test. If the breakdown occurs in the channel region (③ area in Fig. 2), V_{gs} will be clamped at 0V, which will cause G-S SC failure. If the gate oxide layer in the JFET area (① area in Fig. 2) is damaged, it will cause D-S SC failure. At the same time, the parasitic NPN transistor (② area in Fig. 2) may be turned on during the SC test of the SiC MOSFET, which will also cause D-S SC failure.

After a non-destructive SC test on the SiC MOSFETs, the characteristic degradation is obvious to see. But we haven't seen any failure yet. On the packaging side, the main factor of degradation is the aging of bond wires. On the die side, it is the charge injection effect and the generation of new interface defects in the gate oxide layer that cause serious degradation of the gate oxide layer. In addition, we have discussed the influence of external stress on SiC MOSFETs SC failure and degradation.

Finally, the main challenges and development trend of the SiC MOSFETs SC failure and degradation mechanisms are summarized.

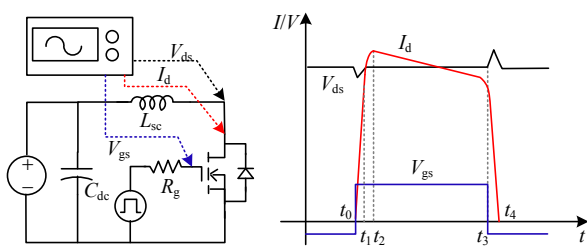


Fig. 1 Short-circuit test circuit with typical experimental waveform