

# 一种适用于谐振式 DAB 拓扑的桥口脉冲 ZVS 优化方法

石松, 许崇福, 娄彦涛

西安西电电力系统有限公司, 西安, 710016

## A Bridge Pulse-ZVS Optimization Method for Resonant DAB Topology

Shi Song, Xu Chongfu, Lou Yantao

XI'AN XD POWER SYSTEMS CO.,LTD, Xi'an

**摘要:** 本文以 CLLC 谐振式 DAB 拓扑为例, 通过对拓扑工作机理的分析, 设计出一种可有效优化由于控制电路杂散及驱动信号误差等原因所导致的拓扑全负载范围内 ZVS (Zero Voltage Switch, 零电压开关) 实现困难的方法。方法中所包含的可调驱动板上设计有电位器  $R_{adj}$ , 通过  $R_{adj}$  可对驱动核 MOD 管脚对 GND 间电阻阻值进行精确调整, 即对 IGBT 模块死区时间进行精确调整。进一步的, 通过模块脉冲对齐测试电路可对隔离变压器同名端两侧的 IGBT 半桥进行驱动脉冲对齐, 且通过抖动居中的方式, 减小死区时间抖动所带来的误差, 帮助拓扑实现全负载范围下 ZVS 工作, 提升拓扑的工作效率。

**关键词:** 谐振式 DAB 拓扑; ZVS; 传输效率; 死区时间

**ABSTRACT:** Taking CLLC resonant DAB topology as an example, through the analysis of the working mechanism of this type of topology, this paper designs a method that can effectively reduce the difficulty of ZVS (Zero Voltage Switch) implementation in the full load range of this type of topology caused by the stray parameter of control circuit and the deviation of the driving signal. The adjustable drive board included in the method is designed with a potentiometer  $R_{adj}$ . Through  $R_{adj}$ , the resistance value between GND and the MOD pin of the drive core can be accurately adjusted, that is, the dead time of the IGBT module can be accurately adjusted. Further, the module pulse alignment test circuit can align the drive pulses of IGBT half bridges on both sides of dotted terminal of isolating transformer, and reduce the deviation caused by dead time jitter by centering the jitter, realize ZVS operation under full load range and improve the working efficiency of resonant DAB topology.

**KEY WORD:** Resonant DAB Topology; ZVS; Transmission Efficiency; Dead Time

## 1 引言

随着电力电子技术的不断发展, DC/DC 变换器在轨道交通、光伏送出、直流组网、交直流互联等领域的应用也愈发广泛<sup>[1]</sup>。同时直流电网以及直流供电技术能够更可靠高效地接纳风、光等分布式可再生发电系统、储能单元、电动汽车及其他直流用电负荷, 且减少了变换环节、能量利用率高、潮流控制度好、传输效率高, 在世界范围内得到了快速发展与实际应用, 故 DC/DC 变换器相关装置拥有非常广泛的应用及市场前景,

也是构建未来多电压等级、多端直流电网的重要组成部分<sup>[2]</sup>。

CLLC 谐振式 DAB 拓扑拥有自然软开关特性, 是 DC/DC 变换器中一类重要拓扑。其所具备软开关频率范围宽、调压范围大、功率密度高等特点, 在高压、高频、大功率场合应用具有很大优势<sup>[3]</sup>。IGBT 半桥模块作为一种复合半导体功率器件, 其可靠性高, 使用成本低, 外围驱动电路设计简便, 同时标准的模块化封装也具备安装维修方便、散热稳定等特点, 故在 DC/DC 变换器等电力电子设备中拥有非常广泛的应用<sup>[4]</sup>。

一种 IGBT 半桥模块在 DC/DC 变换器中的典型应用如图 1 所示。其中变换器由原边功率模块、副边功率模块、谐振电路、高频隔离变压器等构成。原边功率模块包含 1#、2#、5# IGBT 半桥模块，副边功率模块包含 3#、4# IGBT 半桥模块。1#、2#、3#、4# IGBT 半桥模块及谐振电路、变压器等构成双向 CLLC 电路，5# 模块通常作为具备 Buck-Boost 功能的阻断半桥使用<sup>[5]</sup>。

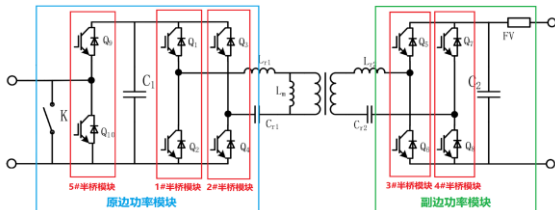


图 1 可控双向 CLLC 谐振式 DAB 拓扑图

Fig1 Controllable bidirectional CLLC resonant DAB topology

IGBT 半桥模块驱动方面，常采用具备完整双通道的驱动核，如 Concept 公司型号 2SC0108T 等，并围绕驱动核构建外围电路的方式。通常来说，这种类型的驱动核具备直接模式与半桥模式两种工作方式，通过其 MOD 管脚直连 GND 或串适当阻值电阻后连接 GND 两种电路在“直接”或“半桥”两种工作方式中做选择<sup>[6-7]</sup>。进一步可理解为，半桥模式具备物理硬件死区，其死区时间由上述串联电阻  $R_m$  确定，同时在电路设计时，常给  $R_m$  并联一个电容  $C_m$ ，用以减小驱动信号  $InA$  产生的死区时间抖动。直接模式不具备硬件死区，需要控制电路产生足够的死区时间，才能避免半桥两个开关管同时导通或导通时间重叠所导致的直流母线短路。

由于电路杂散、器件参数差异及驱动信号  $InA$  自身误差等原因，通过  $R_m$  所控制的死区时间通常不够精准，同时死区时间抖动也无法通过并联电容  $C_m$  完全消除。图 2 为使用示波器观察 CLLC 谐振式 DAB 拓扑同名端两侧的 IGBT 半桥的驱动脉冲  $V_{GE}$  波形。1 通道为原边功率模块 1# IGBT 半桥模块上管驱动脉冲，2 通道为副边功率模块 3# IGBT 半桥模块上管驱动脉冲，波形显示方式为余辉显示模式，其中 1 通道波形使用触发模式固定在屏幕上，故 2 通道波形余辉所显示的脉冲抖动时间为 1、2 通道波形之和。图中可得：两脉冲上升沿时间相差约 300nS，同时两脉冲间

时间抖动之和约 200nS。

为最大化发挥 CLLC 等谐振式 DC/DC 拓扑优势，实现全负载范围下 ZVS 工作，除开关频率、增益特性、谐振腔 LC 参数等优化设计外，死区时间同样不宜设计过大。故在较小的死区时间下，由于上述脉冲不对齐及抖动造成的时间误差在死区时间中占比较大，会造成 DC/DC 变换器在重载条件下的 ZVS 难以实现，会极大的影响变换器效率。

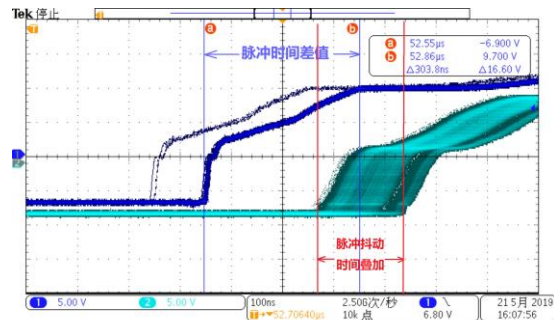


图 2 驱动脉冲时间误差波形图

Fig2 Waveform of driving pulse time deviation

## 2 拓扑工作机理

谐振式 DAB 拓扑一个主要的优点在于利用串联谐振实现了软开关技术。同时为了实现软开关，以图 1 中所示拓扑为例，在拓扑内 Buck-Boost 半桥具备电压控制的条件下，双向 CLLC 电路须采取开环定频控制并工作在固定频率点<sup>[8-9]</sup>。

为了与高频隔离变压器的工作状况保持一致，电路正常工作时，图 1 中  $Q_1$ 、 $Q_4$ 、 $Q_5$ 、 $Q_8$  为相同的驱动信号， $Q_2$ 、 $Q_3$ 、 $Q_6$ 、 $Q_7$  为相同的驱动信号， $D_1 \sim D_8$  为对应  $Q_1 \sim Q_8$  的反并联二极管。 $Q_1$  与  $Q_3$  为互补的驱动信号（带死区），由外电路决定能量的流动方向。

$t_0$  时刻， $Q_1$ 、 $Q_4$ 、 $Q_5$ 、 $Q_8$  同时开通， $Q_1$  和  $Q_4$  开通之前由于  $L_m$  的通过二极管  $D_1$  和  $D_4$  续流，所以  $Q_1$  和  $Q_4$  零电压开通  $Q_1$  和  $Q_4$  开通之后，通过  $L_{r1}$  和  $C_{r1}$  的谐振电流  $i_1$  逐渐增大，通过  $L_m$  的励磁电流逐渐减小，直到  $t_1$  时刻。

$t_1$  时刻，由于谐振电流  $i_1$  和励磁电流  $i_{Lm}$  相等，故此时通过低压侧  $D_5$  和  $D_8$  的电流为零，随后  $L_{r2}$  和  $C_{r2}$  参与谐振，通过  $D_5$  和  $D_8$  的电流按照正弦半波的形状逐渐增大然后减小，至  $t_2$  时刻通过  $D_5$  和  $D_8$  的电流为零；（ $t_1$  至  $t_2$  过程完成能量从

高压侧向低压侧的流动,  $i_{Lm}$  过零后反向继续增大);

$t_2$  时刻,  $L_{r2}$  和  $C_{r2}$  退出谐振,  $t_2$  至  $t_3$  时刻,  $i_1$  逐渐减小到零,  $i_{Lm}$  逐渐增大到反向最大值;

$t_3$  时刻,  $Q_1$  和  $Q_4$  关断,  $i_{Lm}$  通过  $D_2$  和  $D_3$  续流, IGBT 模块  $Q_2$  和  $Q_3$  等效结电容上的电压逐步减小, IGBT 模块  $Q_1$  和  $Q_4$  等效结电容上的电压逐步增加;

$t_4$  时刻, IGBT 模块  $Q_2$  和  $Q_3$  等效结电容上的电压为零, 为  $Q_2$  和  $Q_3$  零电压开通做好准备, 至  $t_5$  时刻,  $Q_2$  和  $Q_3$  开通。

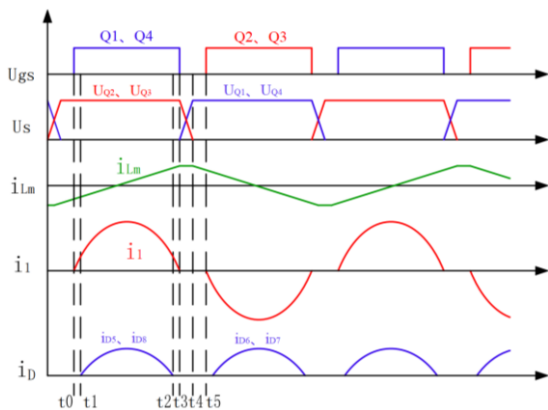


图 3 功率模块工作波形图

Fig3 Working waveform diagram of power module

上述为能量从原边流向副边时电路的工作过程。由于能量双向流动时电路的工作过程完全相同, 故副边流向原边时电路的工作过程不在赘述。

### 3 优化方法

由章节 2 所述拓扑工作机理及 ZVS 概念可得: 变压器同名端两侧的 IGBT 半桥模块驱动信号需完全一致, 若产生如图 2 所示驱动信号误差, 则 ZVS 难以实现。据此设计优化方法如下:

#### 1. 增设 $R_{adj}$

根据章节 1 所述硬件死区实现方式, 将 IGBT 半桥模块驱动板原有  $R_m$  更改为电阻  $R_1$  串电位器  $R_{adj}$ , 如图 4 所示。  $R_1$  的阻值与电位器  $R_{adj}$  的最大阻值相加因大于  $R_m$  的阻值, 且为保证调整精度, 设计  $R_1$  的阻值约为  $R_m$  的 0.8 倍,  $R_{adj}$  的最大阻值约为  $R_1$  阻值的 0.4 倍左右为宜。例  $R_m$  阻值 150k $\Omega$ , 则设计  $R_1$  为 120k $\Omega$ ,  $R_{adj}$  为 0 $\Omega$  至 50k $\Omega$  可调。

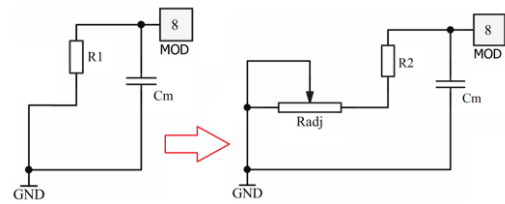


图 4 电路修改示意图

Fig4 Schematic diagram of circuit modification

#### 2. 搭建脉冲对齐电路

脉冲对齐电路如图 5 所示。即搭建包含具备合理控制回路的测试电路, 使 IGBT 驱动信号  $V_{GE}$  可以正常下发及测量。

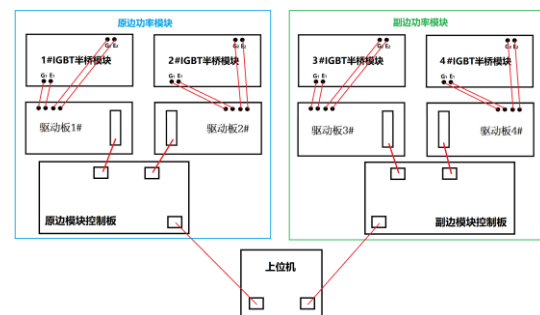


图 5 模块脉冲对齐测试电路示意图

Fig5 Module pulse alignment test circuit

#### 3. 脉冲对齐

各驱动板上电, 脉冲解锁。使用数字示波器余辉模式观测驱动板 1# 与 3# 对应上管  $V_{GE}$  波形, 旋转驱动板 3# 中电位器  $R_{adj}$  的旋钮, 调整  $R_{adj}$  的阻值, 观测示波器中显示的驱动板 1#  $V_{GE}$  与 3#  $V_{GE}$  上升沿波形, 可以发现随着  $R_{adj}$  阻值的变化, 1#  $V_{GE}$  与 3#  $V_{GE}$  上升沿间距会发生变化; 进一步的, 继续旋动  $R_{adj}$  旋钮, 使得 1#  $V_{GE}$  与 3#  $V_{GE}$  上升沿波形重叠, 且 1#  $V_{GE}$  波形位于 3#  $V_{GE}$  波形抖动余辉的中央位置, 如图 6 所示。

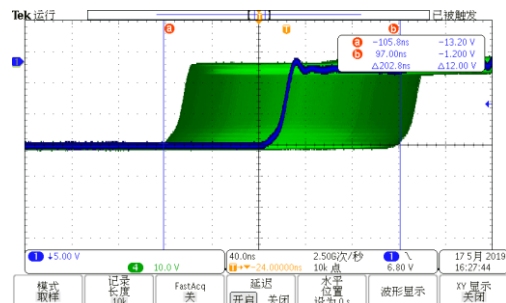


图 6 IGBT 半桥模块上升沿脉冲对齐波形图

Fig6 Rising edge alignment waveform of IGBT

#### half-bridge module pulse

进一步的, 观测 1#  $V_{GE}$  与 3#  $V_{GE}$  下降沿波形,

参考图 7 进行比对,波形的下降沿间是否有误差。

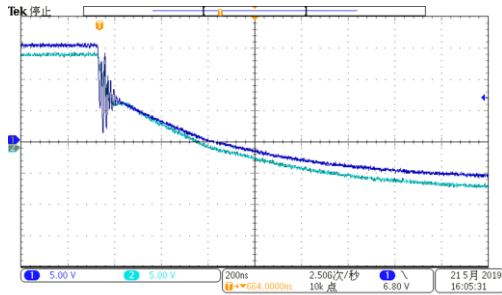


图 7 IGBT 半桥模块下降沿脉冲对齐波形图  
Fig7 Falling edge alignment waveform of IGBT half-bridge module pulse

参考上述步骤观测驱动板 1#与 3#对应下管  $V_{GE}$  波形,即下管  $V_{GE}$  上升沿波形抖动是否居中,下降沿波形是否对齐,并继续完成 2#与 4#驱动板测试。

#### 4 效率实验

利用已经完成脉冲对齐的驱动板及谐振式 DAB 模组,搭建环流对拖实验平台如图 8 所示:

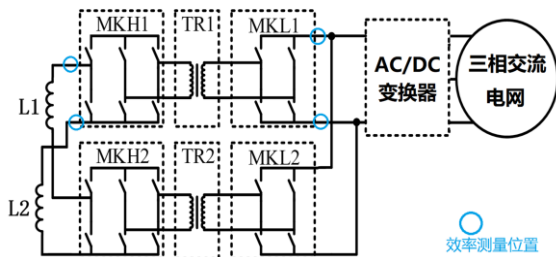


图 8 环流对拖实验平台系统图

Fig8 Circulation Twin-Trawling experiment platform

图 8 中 MKH 为原边模块, MKL 为副边模块, TR 为高频隔离变压器, L 为滤波电感。两只 MKL 并联, 两只 MKH 串电感后并联, 能量在两组模组间形成环流, AC/DC 变换器通过交流电网向环流模组提供损耗功率。环流对拖实验平台实物如图 9 所示, 平台内所使用功率模块参数如表 1 所述。

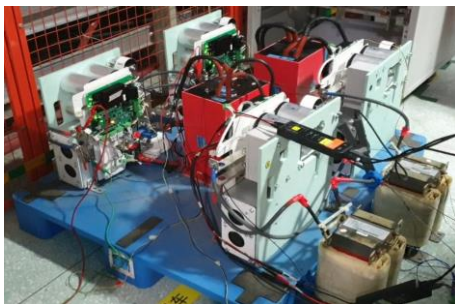


图 9 环流对拖实验平台实物

Fig9 Physical model of experiment platform

表 1 功率模块参数表

Tab1 Power module parameter	
模块额定功率	70kW
原/副边模块母线电压	1000V/700V
原/副边模块母线电流	70A/100A
Buck-Boost 桥口电压	800V~1kV
DAB 开关频率	10kHz
前级 Buck-Boost 频率	2.5kHz
原边 IGBT 选型	FF225R17ME4
副边 IGBT 选型	FF300R12ME4
模块电压电流纹波	小于 2%

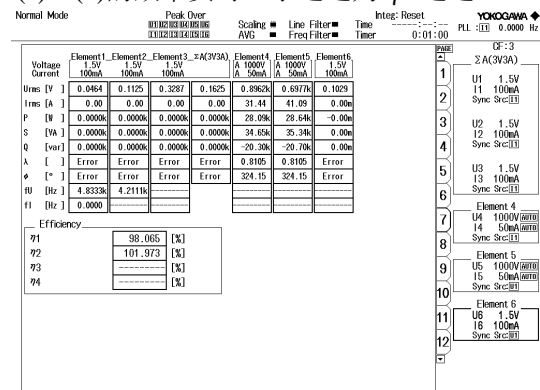
启动实验回路后, 逐步增加环流功率, 在各个功率点上使用效率分析仪记录 1min 时间内模组传输的平均效率, 如表 2 所示。效率测量点在图 8 中用蓝色圆圈标出。表中效率 1 为 MKL 流向 MKH 时的效率值, 效率 2 为 MKH 流向 MKL 时的效率值。

表 2 功率模块效率数据

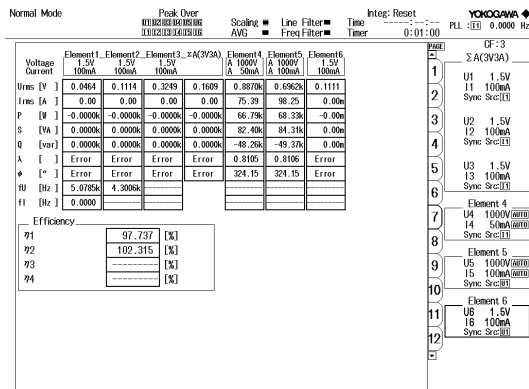
Tab2 Efficiency data of power module		
功率点	效率 1 (%)	效率 2 (%)
10%	95.987	96.158
20%	97.498	97.416
30%	97.925	97.875
40%	<b>98.091</b>	98.062
50%	98.066	<b>98.090</b>
60%	98.028	98.040
70%	97.971	97.945
80%	97.891	97.812
90%	97.802	97.681
100%	97.738	97.489

由表 2 可知: MKL 流向 MKH 时, 效率最大值 98.091% 出现在 40% 功率点, 100% 功率点时效率为 97.738%。MKH 流向 MKL 时, 效率最大值 98.090% 出现在 50% 功率点, 100% 功率点时效率为 97.489%。

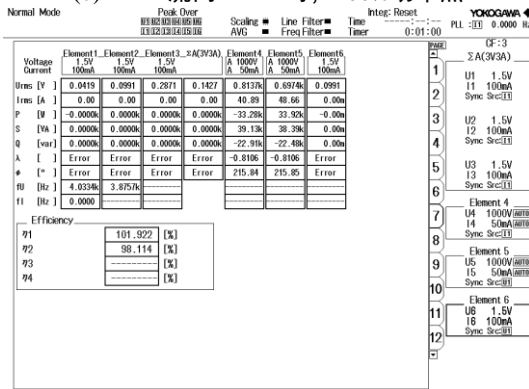
图 10 为效率分析仪实时数据截屏, 其中图 10(a)、(b)的效率实时显示通道为  $\eta_1$  通道, 图 10(c)、(d)的效率实时显示通道为  $\eta_2$  通道。



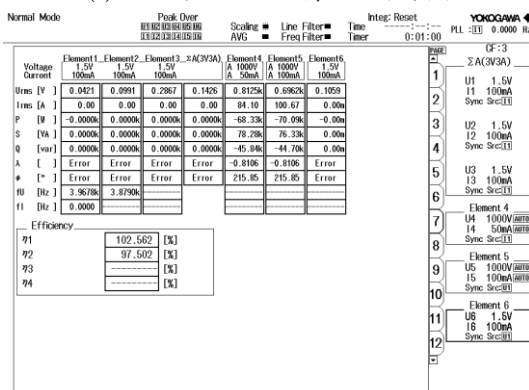
(a) MKL 流向 MKH 时, 40% 功率点



(b) MKL 流向 MKH 时, 100% 功率点



(c) MKH 流向 MKL 时, 50% 功率点



(d) MKL 流向 MKL 时, 100% 功率点

图 10 效率实时数据截屏

Fig10 Screen capture of efficiency real-time data

## 5 结论

本文对 CLLC 等谐振式 DAB 拓扑中隔离变同名端两侧的 IGBT 半桥进行驱动脉冲对齐, 进一步减小驱动信号误差对拓扑全负载范围内 ZVS 实现的影响, 从而提升拓扑工作效率。本文给出脉冲对齐方法的详细步骤, 并通过模组环流对拖实验采集模组效率。数据显示 70kW/10kHz 模组最大传输效率超过 98%, 根据工程经验, 全负载范围内提升在 0.5% 以上。优化效果明显。

## 参考文献

- [1] 张嘉翔. CLLC 谐振隔离型双向 DC/DC 变换器的设计与控制方法研究[D]. 西安理工大学, 2019.
- [2] Marco L, Thilo S, et al. Future energy systems integrating renewable energy sources into the smart power grid through industrial electronics[J]. IEEE Transactions on Industrial Electronics, 2010, 4(1):18-37.
- [3] 张添洋. 双向谐振型 DC/DC 变换器的研究[D]. 浙江大学, 2015.
- [4] 梁美, 郑琼林等. SiC MOSFET、Si Cool MOS 和 IGBT 的特性对比及其在 DAB 变换器中的应用[J]. 电工技术学报, 2015, 30(12):41-50.
- [5] 姚为正, 辛德锋等. 适用于 ISOP 拓扑的 DC/DC 变换器研究[J]. 高压电器, 2020, 56(1):104-113.
- [6] Hua Q, Zhang B, et al. A rugged 650 V SOI-based high-voltage half-bridge IGBT gate driver IC for motor drive applications[J]. International Journal of Electronics, 2015, 5(2):118-123.
- [7] Wang Q-Y, Liu Y, et al. Compact DC-DC Power Design in Half-Bridge IGBT Driver[J]. Applied Mechanics and Materials, 2013, 37(2):34-40.
- [8] 阮新波, 严仰光. 直流开关电源的软开关技术[M]. 科学出版社, 2000:17-22.
- [9] Ortiz G, Uemura H, et al. Modeling of Soft-Switching Losses of IGBTs in High-Power High-Efficiency Dual-Active-Bridge DC/DC Converters. IEEE Transactions on Electron Devices, 2013, 60(2): p. 587-597.

收稿日期: 2022.08.01

作者简介:

石松 (1991-), 男, 陕西省凤翔县, 硕士, 工程师, 从事直配网相关电力电子设备研发工作。